

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY

FAKULTA INFORMAČNÍCH TECHNOLOGIÍ
ÚSTAV POČÍTAČOVÝCH SYSTÉMŮ

FACULTY OF INFORMATION TECHNOLOGY
DEPARTMENT OF COMPUTER SYSTEMS

ŘÍDICÍ JEDNOTKA PRO ELEKTRONICKÉ BICÍ

DIPLOMOVÁ PRÁCE

MASTER'S THESIS

AUTOR PRÁCE

AUTHOR

Bc. KAREL DOLEŽAL

BRNO 2014



VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA INFORMAČNÍCH TECHNOLOGIÍ
ÚSTAV POČÍTAČOVÝCH SYSTÉMŮ

FACULTY OF INFORMATION TECHNOLOGY
DEPARTMENT OF COMPUTER SYSTEMS

ŘÍDICÍ JEDNOTKA PRO ELEKTRONICKÉ BICÍ

ELECTRONIC DRUM CONTROL MODULE

DIPLOMOVÁ PRÁCE
MASTER'S THESIS

AUTOR PRÁCE
AUTHOR

Bc. KAREL DOLEŽAL

VEDOUCÍ PRÁCE
SUPERVISOR

Ing. VÁCLAV ŠIMEK

BRNO 2014

Vysoké učení technické v Brně - Fakulta informačních technologií

Ústav počítačových systémů

Akademický rok 2013/2014

Zadání diplomové práce

Řešitel: **Doležal Karel, Bc.**

Obor: Bezpečnost informačních technologií

Téma: **Řídicí jednotka pro elektronické bicí**
Electronic Drum Control Module

Kategorie: Vestavěné systémy

Pokyny:

1. Prostudujte způsoby snímání úderů při hře na elektronické bicí a jejich následný převod do číslicové podoby.
2. Připravte koncepci zařízení, které bude snímat bicí soupravu a produkovat zvukový výstup z uložených vzorků (např. na SD kartě).
3. Na základně konzultace s vedoucím projektu zvolte vhodné komponenty a v návrhovém editoru vytvořte desku plošných spojů.
4. Proveďte oživení zhotoveného zařízení a připravte nezbytný obslužný firmware, který bude řídit jeho činnost.
5. Vhodným způsobem demonstруйте funkčnost vytvořeného zařízení.
6. Zhodnoťte dosažené výsledky a diskutujte možnosti dalšího rozšíření.

Literatura:

- Dle pokynů vedoucího.

Při obhajobě semestrální části diplomového projektu je požadováno:

- Splnění bodů 1 až 3 zadání.

Podrobné závazné pokyny pro vypracování diplomové práce naleznete na adrese

<http://www.fit.vutbr.cz/info/szz/>

Technická zpráva diplomové práce musí obsahovat formulaci cíle, charakteristiku současného stavu, teoretická a odborná východiska řešených problémů a specifikaci etap, které byly vyřešeny v rámci ročníkového a semestrálního projektu (30 až 40% celkového rozsahu technické zprávy).

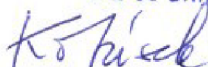
Student odevzdá v jednom výtisku technickou zprávu a v elektronické podobě zdrojový text technické zprávy, úplnou programovou dokumentaci a zdrojové texty programů. Informace v elektronické podobě budou uloženy na standardním nepřepisovatelném paměťovém médiu (CD-R, DVD-R, apod.), které bude vloženo do písemné zprávy tak, aby nemohlo dojít k jeho ztrátě při běžné manipulaci.

Vedoucí: **Šimek Václav, Ing.,** UPSY FIT VUT

Datum zadání: 1. listopadu 2013

Datum odevzdání: 28. května 2014

VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ
Fakulta informačních technologií
Ústav počítačových systémů a sítí
612 00 Brno, Božetěchova 2



doc. Ing. Zdeněk Kotásek, CSc.
vedoucí ústavu

Abstrakt

Práce se zabývá konstrukcí řídicí jednotky pro elektronický bicí nástroj, jejíž funkcí je snímání úderů hráče a produkce odpovídajícího zvukového výstupu. Nejprve je prezentována konstrukce zjednodušené verze zařízení zaměřená na metody snímání bicí soupravy, bez schopnosti generovat zvuk. Na základě toho jsou stanoveny požadované parametry finálního zařízení. Dále je popsána volba komponent a návrh desek plošných spojů s cílem dosáhnout maximální polyfonie a přijatelné latence zvukového generátoru. V další části práce je navrhován obslužný firmware a dostatečně výkonný algoritmus mixování zvuků. Je taktéž popsán postup oživení sestaveného zařízení a postup testování skutečně dosažených parametrů.

Abstract

This paper deals with development and construction of an electronic drum module. The purpose of the device is to capture signals from an electronic drumkit and to produce sound accordingly. Firstly, a prototype with no sound output is constructed to demonstrate an ability to capture input signals. Based on its function, parameters for a final device are determined. Then, electronic component selection and design of printed circuit boards is described with an aim to maximalize polyphony and minimize latency of the sound generator. After that, firmware with software mixing algorithm is designed. Lastly, testing and measurement of real device parameters is performed.

Klíčová slova

vestavěné systémy, mikrokontrolér, audio kodek, MIDI, hudební nástroj, bicí

Keywords

embeded systems, microcontroller, audio codec, MIDI, musical instrument, drums

Citace

Karel Doležal: Řídicí jednotka pro elektronické bicí, diplomová práce, Brno, FIT VUT v Brně, 2014

Řídicí jednotka pro elektronické bicí

Prohlášení

Prohlašuji, že jsem tuto diplomovou práci vypracoval samostatně pod vedením pana Ing. Václava Šimka, s použitím uvedených zdrojů.

.....
Karel Doležal
15. května 2014

Poděkování

Rád bych tímto poděkoval svému vedoucímu Ing. Václavu Šimkovi za odbornou pomoc a praktické připomínky při vzniku této práce.

© Karel Doležal, 2014.

Tato práce vznikla jako školní dílo na Vysokém učení technickém v Brně, Fakultě informačních technologií. Práce je chráněna autorským zákonem a její užití bez udělení oprávnění autorem je nezákonné, s výjimkou zákonem definovaných případů.

Obsah

1	Úvod	6
1.1	Cíle práce	6
1.2	Části bicí soupravy	7
1.3	Přehled kapitol	8
2	Analýza	10
2.1	Přehled parametrů bicích modulů	10
2.2	Pady a snímače	11
2.3	Prototyp MIDI-Drum	13
2.4	Analýza prototypu	13
2.4.1	Snímače a analogová část	14
2.4.2	Uživatelské rozhraní	14
2.4.3	Komunikace s okolím	14
2.4.4	Napájení	15
2.4.5	Doplňkové funkce	15
2.4.6	Programová část	16
2.4.7	Algoritmus vyhodnocení vstupů	16
2.4.8	Využití paměti	17
2.4.9	Aktualizace firmware	17
2.5	Latence zvuku	17
2.6	Bicí souprava a konstrukce snímačů	18
2.7	Shrnutí	19
3	Návrh hardware	20
3.1	Požadavky na parametry navrhovaného zařízení	20
3.2	Vhodné paměti pro vzorky	21
3.2.1	Paměti SRAM a PSRAM	21
3.2.2	Paměti DRAM	21
3.2.3	Paměti Flash	21
3.2.4	Čtení dat přímo z SD karty	22
3.3	Volba paměti a mikrokontroléru	22
3.3.1	Odhad výkonnosti	23
3.3.2	Ostatní periférie procesoru	23
3.4	Analogové vstupy	24
3.5	Výběr kodeku	25
3.5.1	Režim komunikace	25
3.5.2	Časování	25
3.5.3	Ovládání výstupů a hlasitosti	26

3.6	Blokové schéma zařízení	26
3.7	Napájení	27
3.8	Asynchronní sériová rozhraní	28
3.8.1	MIDI	28
3.9	Princip komunikace na paralelní sběrnici	29
3.9.1	Řízení Flash paměti	30
3.9.2	Řízení řadiče LCD	30
3.10	Dotykový panel	31
3.10.1	Měření síly stisku	31
3.11	Paměť NOR Flash	32
3.12	SD a MMC karty v SPI režimu	32
3.12.1	Formát příkazů	32
3.12.2	Inicializace	33
3.12.3	Čtení bloku	34
3.13	Plošný spoj zařízení	34
3.14	Shrnutí	35
4	Návrh firmwaru	36
4.1	Algoritmus mixování zvuku	36
4.1.1	Skládání vzorků po stránkách	37
4.1.2	Optimalizace	38
4.1.3	Experimentální určení výkonnosti	38
4.2	Datové přenosy	39
4.3	Zpracování analogových vstupů	40
4.4	Formát uložených dat	41
4.4.1	Uložení zvuků v NAND Flash	41
4.4.2	Uložení dat v NOR Flash	41
4.5	Systém souborů FAT	42
4.5.1	Obecná struktura	43
4.5.2	Informační část	44
4.5.3	FAT	44
4.5.4	Kořenový adresář	44
4.5.5	Struktura adresáře	44
4.5.6	Dlouhé názvy souborů	44
4.5.7	Jednotný přístup k adresářům	45
4.6	Uživatelské rozhraní	45
4.6.1	Kalibrace dotykového panelu	45
4.7	Shrnutí	46
5	Oživení zařízení	47
5.1	Základní oživení	47
5.1.1	Zprovoznění prvního programu	47
5.2	Kodek	48
5.2.1	I ² C	49
5.3	Hlavní sběrnice	49
5.3.1	Panel LCD displeje	50
5.4	Sériové sběrnice	50
5.4.1	SD karty	50

5.4.2	MIDI	50
5.5	Napájení	51
5.6	Shrnutí	51
6	Testování	52
6.1	Zvukový generátor	52
6.2	Maximální dosažená polyfonie	53
6.3	Latence	54
6.4	Uživatelské rozhraní	54
6.5	Shrnutí	55
7	Závěr	56
7.1	Možnosti rozšíření	56
A	Obsah CD	62
B	Inicializační procedura LCD displeje	63
B.1	Hardwarový reset	63
B.2	Nastavení PLL a SW reset	64
B.3	Nastavení parametrů panelu	64
B.4	Nastavení obrazu	65
B.5	GPIO piny řadiče	66
B.6	Zápis dat na displej	66

Seznam obrázků

1.1	Bicí souprava. Přejato z Wikimedia Commons.	7
2.1	Rozebraný pad SDS 5 obsahuje dřevěnou desku. Přejato z [1].	12
2.2	Nákres vnitřku V-Padu firmy Roland. Přejato z [6].	12
2.3	Blokové schéma prototypu MIDI-Drum.	13
2.4	Zapojený prototyp MIDI-Drum, bez tlačítek.	13
2.5	Vnitřek sustain pedálu použitého jako spínač hi-hat.	15
2.6	Parametry vyhodnocení síly úderu na typickém průběhu signálu.	16
2.7	Ilustrace konstrukce padu se sítkou.	18
2.8	Senzory v různých fázích kompletace (zkrácená verze).	18
3.1	Graf závislosti polyfonie na velikosti bloku vyrovnávací paměti. Vynesené hodnoty platí pro dvě paměti NAND Flash se stereo vzorky v CD kvalitě.	24
3.2	Průběh napětí na piezoměničích při úderu, časová osa 10 ms / div.	24
3.3	Průběh napětí na výstupu desky zesilovače, časová osa 2 ms / div.	24
3.4	Blokové schéma navrhovaného zařízení.	26
3.5	Běžné připojení MIDI k sériové lince mikroprocesoru.	28
3.6	Průběh signálů na sběrnici při čtení a zápisu. Signály CLE a ALE jsou využívány pouze flash pamětmi. Přejato z [17].	29
3.7	Princip čtení čtyřvodičového dotykového panelu.	31
3.8	Struktura příkazu a průběh některých operací v SPI režimu.	33
3.9	Deska plošných spojů navrhovaného zařízení.	34
3.10	Deska analogových zesilovačů.	35
4.1	Princip mixování přehrávaných zvuků postupným překrýváním vzorků.	37
4.2	Schéma datových přenosů během činnosti bicího modulu.	39
4.3	Uložení nastavení sad ve vyhrazených blocích s postupnou aktualizací.	42
4.4	Zjednodušená struktura FAT systému.	43
4.5	Kalibrační body dotykového panelu.	46
5.1	Osazená hlavní deska, strana spojů.	48
5.2	Osazená hlavní deska, strana součástek.	48
5.3	Korektní časování I ² S sběrnice.	48
6.1	Provoz na sběrnici při maximální polyfonii.	53
6.2	Porovnání zvuku úderu do snímáče s přehráním zvuku a bez něj.	54
6.3	Grafické uživatelské rozhraní pro SD kartu.	55
6.4	Zachycení napěťového průběhu vstupu.	55
B.1	Podporované formáty obrazových dat, přejato z [30].	65

Seznam tabulek

2.1	Přehled vlastností dostupných bicích modelů na trhu.	12
3.1	Spotřeba jednotlivých součástí podle dostupných katalogových listů.	27
3.2	Přehled použitých MIDI zpráv. Všechny zprávy se vztahují ke kanálu n	29
3.3	Zapojení vodičů SD karty v nativním a SPI režimu.	33
4.1	Experimentálně určená výkonnost mixování, bez uvažování času získání dat.	38
4.2	Závislost délky vzorkování na výkonnosti A/D převodníku.	40
4.3	Podporované typy souborových systémů.	43
4.4	Struktura adresářové položky.	45
5.1	Reálná spotřeba při provozu.	51
B.1	Parametry LCD panelu v podobě pro řadič SSD1963.	63

Kapitola 1

Úvod

Myšlenka elektronických bicích nástrojů není nijak nová, již v 80. letech vyráběla firma Simmons známou soupravu SDS 5 [1]. Nástroj sestával z několika šestiúhelníkových snímačů a jednotky generující zvuk. Konstrukce prvních snímačů, tzv. padů, byla velmi jednoduchá, prakticky se jednalo o silnou dřevěnou desku, podle [2] shora pokrytou polykarbonátovou dopadovou plochou na svrchní straně a piezoměničem připevněným uprostřed spodní strany. Příslušná bicí jednotka byla umístěna v 19" racku a obsahovala 7 vyjímatelných modulů, každý generující zvuk pro jeden kanál. Moduly byly analogové a jejich zapojení se lišilo podle typu zvuku, který měly produkovat. Parametry byly nastavovány šesti potenciometry na čelní straně a bylo možné vybírat z jedné pevně nastavené a třech uživatelských předvoleb. Již tento nástroj byl schopen snímat úderu do okraje malého bubnu, tzv. rim shot, a to díky mnohem větší odezvě snímače při tomto typu úderu. Další vlastností byla možnost spínat zvuky jednotlivých modulů pomocí externí spouště.

Dnes používané pady svou konstrukcí více odpovídají akustickým bubnům. Klasický buben je v podstatě dřevěný válec, na jehož okraji sedí plastová blána. Ta je průměrem větší než buben a je z výroby uchycena v tenké kovové obruči, pomocí níž je napínána. Masivnější ráfek bubnu (anglicky rim) kryje obruč blány shora a pomocí šroubů uchycených kolem obvodu vyvíjí potřebný tlak na obruč. Na barvě zvuku bubnu se podílí mechanické vlastnosti blány, jichž se se vyrábí v několika typech. Pro účely nehlukného cvičení se vyrábí také blány se sítkou namísto plastové membrány. Díky propustnosti vzduchu skrz sítku neprodukuje při úderu takový hluk, přitom však zachovávají stejnou pružnost, a tak i stejný odskok paličky. Moderní pady jsou vyrobeny podobně, s použitím sítky, neboť produkce zvuku samotným nástrojem není žádoucí. Snímány nejsou otřesy celého padu (jako u SDS 5), ale chvění sítky, které je přenášeno pružnou hmotou do senzoru.

Bicí moduly produkující žádaný zvuk jsou v dnešní době téměř výhradně digitální a pro generování zvuku využívají připravených vzorků, popř. matematického modelování [3]. Díky jejich povaze mohou navíc realizovat řadu DSP efektů a jiných doplňujících funkcí jako metronom, bicí automat, přepínání sady zvuků během hry apod. Dražší moduly mají schopnost detekce místa úderu v rámci plochy snímače a odpovídajícím způsobem reagují změnou barvy zvuku.

1.1 Cíle práce

Cílem diplomové práce je navrhnout, sestavit, naprogramovat a otestovat zařízení, které bude sloužit jako řídicí jednotka a zvukový generátor pro elektronickou bicí soupravu.

Funkcí zařízení má být snímání elektrických signálů z padů, kterými jsou zachycovány hráčovy úderů, jejich vyhodnocení a následné generování odpovídajících zvuků v reálném čase a s ohledem na intenzitu úderu. Kromě dostatečného počtu vstupních kanálů pro zapojení všech standardních částí bicí soupravy je důležitou vlastností zařízení co nejvyšší polyfonie, tedy maximální počet současně znějících zvuků.

Zařízení také musí obsahovat prvky uživatelského rozhraní, které poslouží k nastavení citlivosti snímačů, parametrů zvuku a doplňujících funkcí. Generátor zvuku může pracovat např. na principu mixování předem připravených vzorků pro jednotlivé kanály. Je také vhodné umožnit výměnu těchto vzorků pomocí paměťové karty nebo spojení s počítačem. Další žádanou schopností zařízení je schopnost komunikace s již existujícími hudebními přístroji pomocí sběrnice MIDI, případně s počítačem přes USB nebo jiná sériová rozhraní jako Bluetooth.

1.2 Části bicí soupravy

Pro snazší představu o tom, jaké pady a typy úderů je nutné snímat, je uveden krátký popis základní bicí sestavy. Protože hra na hudební nástroj obecně je tvůrčí činností, nemůže být přesně stanoveno co je a co není dovoleno. Např. improvizovaná hra na kovové uchycení bicí soupravy je možná při živé produkci na akustické soupravě, avšak nemůže být přenesena do elektronické podoby, pokud k tomu není elektronický nástroj přizpůsoben. Již zmiňovaná detekce hry na ráfek bubnu (rim shot) nebyla na některých elektronických bicích podporována. Základní bicí sestava je ilustrována obrázkem 1.1, použité termíny jsou v souladu s [4].



Obrázek 1.1: Bicí souprava. Převzato z Wikimedia Commons.

Malý buben (snare drum) je umístěn přímo před hráčem mezi jeho koleny. Jako na každý běžný buben se na něj hraje paličkami, které na svrchní blánu bubnu dopadají pod úhlem menším než 30 stupňů. Zvláštností malého bubnu je skupina kovových pružin, tzv. strunění, které lze pevně napsat přes spodní blánu. To mu dodává typický rachotivý zvuk. Strunění lze v případě potřeby odepnout a dosáhnout tak zvuku podobného kotlům.

Při hraní na malý buben se používá i tzv. techniky víření (také virbl), kdy bubeník využívá odrazu paličky při dopadu na blánu a působí dodatečnou silou tak, že palička provede úderů ještě několik, to vše v rámci jediného pohybu zápěstí. Rychlým opakováním střídavě oběma rukama lze dosáhnout souvislého vířivého zvuku.

Další používanou technikou je hraní na rantl bubnu (rim shot). Zadní konec paličky, kterou hráč drží zhruba uprostřed, je zapřen za vnitřní okraj bubnu a její přední část dopadá na protilehlou hranu, kde působí ostrý zvuk. Ten je paličkou přenášen zpět na okraj blány, kde je palička zapřena.

Velký buben (bass drum) leží na podlaze a je ovládán nožním pedálem. Sešlápnutí pedálu urychlí krátkou kovovou paličku s plstěným koncem, který udeří do blány bubnu. Některé tvrdší žánry hudby obsahující rychlé sekvence úderů na velký buben používají dva pedály s oddělenými paličkami a umožňují tak hru oběma nohama. V rámci soupravy je buben umístován před pravou nohu hudebníka.

Kotle jsou skupinou několika bubnů ve vzrůstajících velikostech. Menší (tom-toms) jsou ukotveny v horní části velkého bubnu, větší (floor-toms) pak napravo na zemi. V závislosti na žánru bývá kotlů různý počet, běžně jsou tři nebo čtyři.

Hi-hat je dvojice činelů otočených proti sobě, jejichž vzdálenost je ovládána pedálem v základně stojanu. Většinu času je pedál sešlápnut, což způsobí přiblížení a sevření činelů k sobě. Zvuk vydávaný činely je pak krátký. V opačném případě se činely také dotýkají, nejsou však pevně sevřeny. Výsledkem je silnější zvuk s delším dozvukem. Správným přitlakem pedálu je možné docílit různých barev zvuku. Umístění hi-hat je nalevo od hráče, kvůli přítomnosti pedálu. Při použití dvojitého pedálu velkého bubnu musí hráč ovládat levou nohou oba pedály střídavě podle potřeby.

Činely jsou několika základních typů. Kromě hi-hat existuje ride cymbal, používaný k souvislé hře, crash cymbal pro akcentování např. první doby, splash a china. Na činely se hraje buďto koncem paličky shora na plochu (bow) a nebo bokem paličky do hrany (edge). Ve středu, který je uchycen ke stojanu, je plocha činelu vystouplá a produkuje vysoký zvonivý zvuk (bell). Protože činely produkují dlouho znějící zvuky, jsou v případech, kdy je ve skladbě dozvuk nežádoucí, utlumovány úchytem ruky.

Ride cymbal se nejčastěji umísťuje na pravé straně soupravy za kotle v úrovni ramene bubeníka, nakloněn šikmo. V případě soupravy s jedním tom-tom kotlem, jako je ta na obrázku 1.1, je umístěn níže a vodorovně. Crash cymbal je umístěn vlevo a taktéž vodorovně, neboť se na něj typicky hraje hranou (edge).

1.3 Přehled kapitol

Následující kapitola (kap. 2) se zabývá bicími moduly, které lze běžně zakoupit v obchodě a zkoumá jejich vlastnosti, především počet kanálů, výstupní rozhraní a doplňkové funkce. Popisuje též konstrukci padů a v nich obsažených snímačů. Podrobněji dále rozebírá prototyp sestaveného bicího modulu s pouze digitálním výstupem a analyzuje jeho nedostatky. Je také zmíněn vliv zpoždění mezi úderem do snímače a slyšitelným zvukem z reproduktoru. Nakonec je stručně popsána zkonstruovaná bicí souprava, ke které bude bicí modul připojen.

Kapitola 3 na svém počátku definuje cíle návrhu, tedy parametry, jaké by mělo mít navrhované zařízení, a dále se věnuje návrhu hardwaru. Rozebírá především možnosti výběru paměti pro uložení zvukových vzorků a zdůvodňuje volbu mikroprocesoru a zvukového kodeku. Na tomto základě je teoreticky odhadnut výkon zařízení. Dále je popisován výběr

ostatních součástí, blokové schéma zařízení, princip činnosti hlavní sběrnice a vedlejších sériových sběrnic. Pozornost je věnována také napájení a prvkům uživatelského rozhraní. Za účelem podpory SD karet pro výměnu zvuků v interní paměti je popisována taktéž inicializace a čtení těchto paměťových médií.

Kapitola 4 je zaměřena na algoritmus mixování zvuku, jeho implementaci a optimalizaci, včetně plánování datových přenosů, které musí probíhat souběžně, aby nedocházelo k přerušování zvukového výstupu. Dále popisuje frekvence a režim zpracování vstupů z bicí soupravy. Zbytek kapitoly popisuje systém souborů použitý pro uložení vzorků v obou interních pamětech a v paměťových kartách.

Kapitola 5 uvádí postup použitý při oživení vyrobeného zařízení a popisuje řešené problémy během zprovoznění jeho součástí. Komponenty jsou oživovány od nejdůležitějších součástí, počínaje procesorem, kodekem, interní pamětí a analogovými vstupy.

Kapitola 6 testuje dosažené výsledky, tj. dosaženou polyfonii zvukového generátoru a jeho latenci při zkušebním provozu. K naměřeným údajům jsou přiloženy podklady, ze kterých byly odvozeny a je rozebrán postup jejich měření.

Závěrečná kapitola (kap. 7) zhodnocuje dosažené výsledky a nastiňuje postup, kterým se může ubírat další vývoj řídicí jednotky. Jedná se jak o vylepšení stávajícího firmwaru, tak o implementaci rozšiřujících funkcí, které zvýší komfort uživatele při používání.

Kapitola 2

Analýza

Tato kapitola má za úkol popsat existující řešení, rozebrat jejich parametry, a tak umožnit specifikovat, co bude cílem při návrhu zařízení. Dále se věnuje konstrukci snímačů a popisuje amatérsky sestavený bicí modul pouze s MIDI výstupem, který byl inspirací pro zadání této DP. Pozornost je také věnována latenci, která má vliv na kvalitu zařízení jakožto hudebního nástroje.

2.1 Přehled parametrů bicích modulů

V současné době je na trhu k dostání mnoho bicích modulů od několika výrobců. Jejich vlastnosti jsou přibližně shrnuty dále v tabulce 2.1, nejdříve jsou však popsány parametry jako takové.

Počet vstupů

Běžná bicí souprava sestává z malého a velkého bubnu, tří kotlů a činelů hi-hat, ride a crash. To vyžaduje, aby jednotka měla nejméně 8 analogových vstupů. Dokonalejší pady obsahují více snímačů, neboť při hře na činely se používá výše popsaných úderů – bell, edge a bow. Znějící činel může být také úchytem ruky ztlumen. Rovněž je možné detekovat údery do rantlu bubnu, případně provádět změnu barvy zvuku podle místa, do kterého hráč udeřil. Poslední nutný vstup si vyžádá pedál hi-hat.

Celkově tak k původním 8 vstupům může být potřeba 6 dalších vstupů. Některé z nich mohou být jen digitální, např. pro tlumení činelů nebo detekci rim shotů malého bubnu. Je tedy nutné počítat nejméně s osmi kanály pro základní zvuky, dalšími třemi pro sekundární snímače na činelech a malém bubnu a čtyřmi digitálními vstupy: dva pro tlumení činelů, jeden pro detekci paličky na rantlu bubnu a jeden pro pedál hi-hat. Pro rozmanitější soupravu je pochopitelně výhodnější co největší počet kanálů.

MIDI rozhraní

Rozhraní MIDI je standardní prostředek k propojení hudebních nástrojů. Sběrnice nekomunikuje zvukovými daty, ale odesílá informace o notách, přesněji řečeno jejich výšku, barvu a sílu. MIDI je používáno ke komunikaci mezi hudebním nástrojem jako je klaviatura či právě bicí jednotka, samplerem sloužícím jako generátor zvuku a sekvencem nahrávajícím skladbu. Detailnější popis je uveden v kapitole 3.8.1, informace lze také čerpat z [5].

Každé zařízení má typicky vstupní a výstupní porty In a Out. V důsledku topologie sběrnice je při nutnosti propojení více zařízení potřeba ještě tzv. Thru, který přeposílá vstupní data. Samostatné klaviatury a jednoduché nástroje, označované jako triggery, mohou poskytovat jen midi výstup. Rovněž na mnoha levnějších zařízeních bývá výstup Thru sdružen s výstupem Out.

Audio

Naprostá většina dostupných modulů poskytuje jeden až dva stereofonní zvukové výstupy, jeden sluchátkový výstup a jeden vstup pro připojení zvukového doprovodu, např. MP3 přehrávače. Vyšší modely navíc obsahují digitální zvukový výstup SPDIF a mají oddělené analogové výstupy pro jednotlivé kanály nebo skupiny bubnů.

Druhý audio výstup může být použit pro lokální příposlech hráče na jevišti, zatímco hlavní výstup je připojen do mixážního pultu. Oddělené výstupy kanálů pak pro zvukaře působí podobně, jako když je analogová bicí souprava snímána mikrofony.

V oblasti generátoru zvuku je významným parametrem polyfonie. Již historicky známý modul Alesis DM-5 zvládal souhru 16 zvuků se vzorkovací frekvencí 48 kHz a používal 18 bitové vzorky. Dnes se polyfonie pohybuje kolem 64 zvuků a skoro všechny jednotky, alespoň podle nalezených informací z propagačních materiálů, pracují v CD kvalitě, tedy 16 bit, 44,1 kHz. Samotné vzorky jsou buďto uloženy v ROM paměti v počtu řádově stovek kusů, nebo jsou vyměnitelné v interní flash případně i dynamické paměti – např. modul DTX900 lze osadit dvěma moduly 256 MB DIMM.

USB

Rozhraní USB (pouze device) obvykle nahrazuje nebo doplňuje MIDI rozhraní. Modul TD-15 také poskytuje možnost odesílat audio ze zvukového generátoru do počítače. Modul Drumit five také pracuje v režimu Mass Storage, pomocí něhož se nahrávají vzorky do interní 4 GB paměti. Některé produkty také disponují USB host portem pro paměťová úložiště k přehrávání MP3 jako doprovodu.

Srovnání produktů na trhu

Srovnání je uvedeno v tabulce 2.1. Ve sloupci Vstup je zapsán počet analogových + počet digitálních vstupních kanálů. Obdobně sloupec Audio označuje počet výstupních + sluchátkových + SPDIF konektorů lomeno počet vstupních konektorů. Sloupce MIDI a USB označují počet vstupů a výstupů, resp. počet USB device a USB host portů. Většina vzorků je uložena v CD kvalitě (stereo, 16 bit, 44,1 kHz), což je zkráceně uváděno jako CD.

2.2 Pady a snímače

Snímače úderu obsažené v elektronických padech pracují na principu měření napětí produkovaného při tzv. piezoelektrickém jevu. Ten nastává při deformaci krystalické mřížky vhodné látky, která se projeví přítomností elektrického napětí na kontaktech snímače. Protože velikost produkovaného napětí je závislá na síle deformace, lze měřením průběhu signálu monitorovat intenzitu vibrací. Sice nastává i opačný jev, kdy přivedením napětí na snímač je možné jej deformovat, avšak z hlediska snímání nemá tento opačný jev uplatnění (využívá se např. k reprodukci zvuku).

Produkt	Vstup	Audio	MIDI	USB	Zvuků	Polyf.	Formát vzorků
Roland TD-30	15+2	9+1+1 / 1	1/1	1/1	1362	64	?
Roland TD-15	11+1	1+1+0 / 1	1/1	1/1	500	? ¹	?
Roland TD-11	11+1	1+1+0 / 1	1/0	1/1	190	? ¹	?
Roland TD-10	12+2	4+1+0 / 1	1/0	0/0	654	54	- ²
Roland TD-4	9+1	1+1+0 / 1	1/0	0/0	125	? ¹	?
Alesis DM-10	12+1	2+1+0 / 1	1/1	1/0	1047	64	CD
Alesis DM-6	9+1	1+1+0 / 1	0/0	1/0	108	? ¹	?
Alesis DM-5	12+1	2+1+0 / 1	1/1	0/0	540	16	18 bit, 48 kHz
2box Drumit Five	15	6+1+0 / 1	1/1	1/0	4 GB	?	CD ³
Yamaha DTX900	15+1	7+1+1 / 1	1/1	1/1	1016	64	CD
Yamaha DTX700	12+1	1+1+0 / 1	1/1	0/0	1268	64	CD

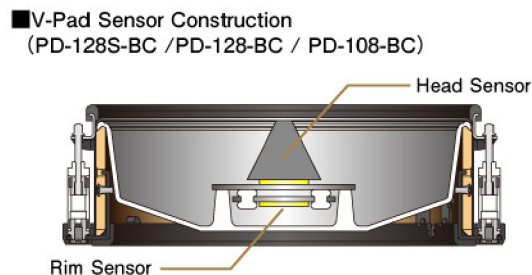
Tabulka 2.1: Přehled vlastností dostupných bicích modelů na trhu.

Piezoměniče jsou běžnou součástí digitálních hodin, kde produkují zvuk budíku. I když to nelze s jistotou potvrdit, lze se domnívat, že stejné měniče jsou ve všech dostupných snímačích. Rozdíl mezi výrobcí je obvykle v konstrukci padu samotného, např. v zapojení sekundárních piezoměničů u více-zónových a čínelových padů.

Původní konstrukce, jak bylo již popsáno v kapitole 1, tvoří pevná např. dřevěná deska na kterou je z druhé strany připevněn senzor. Na obrázku 2.1 je vidět typický šestiúhelníkový tvar padu ze sady SDS 5 a vnitřek jeho konstrukce.



Obrázek 2.1: Rozbraný pad SDS 5 obsahující dřevěnou desku. Převzato z [1].



Obrázek 2.2: Nákres vnitřku V-Padu firmy Roland. Převzato z [6].

Takové snímače jsou funkční, nicméně nevyhovující především z důvodu kvality odrazu paličky od povrchu padu, který se podstatně liší od reálného bubnu. Odraz shodný s reálnou blánou bubnu je důležitý pro dynamiku hry, neboť hráč nemusí paličku po úderu vlastní silou zvedat. Pokud je úder pohlcen padem, hráče to zpomaluje a znepříjemňuje jeho pocit ze hry. V tomto směru jsou lepší tzv. mesh head pady, které byly taktéž již zmíněny v úvodu. Tato konstrukce nepřenáší vibrace do snímače skrz materiál padu samotného, ale zachycuje chvění sítky nebo reálné blány. Na internetu existují různé úspěšné návody na domácí konverzi akustické bicí soupravy pomocí cvičných blan právě na tomto principu, např. [7].

¹Údaj již není oficiálně uváděn.

²Modul používá metodu Variable Drum Modeling, nepřehrává vzorky.

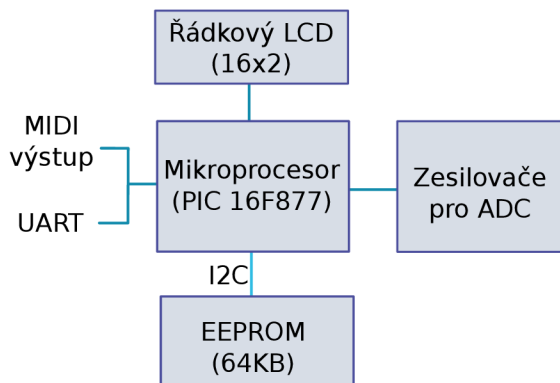
³Údaj není oficiálně uváděn, odhadnuto podle formátu zvukového doprovodu.

Dokonalejší dvousnímačové pady (např. V-Pad Sensor firmy Roland), které údajně podporují detekci pozice úderu, obsahují dva snímače podle obrázku 2.2. Primárně je pro snímání úderů využit svrchní snímač, který je kryt kuželem pružné hmoty a dotýká se síťky. Druhý snímač je propojen s tělem padu. Při úderu na hranu (rim shot) je pohyb síťky menší, než detekovaný otřes celého těla padu. Místo úderu v rámci síťky je pravděpodobně odvozeno podle rozdílu intenzit obou snímačů. Jednodušším způsobem rozpoznání rim shotů je digitální spínač v ráfku, který uplatňují levnější snímače. Činelové snímače obsahují digitální snímač dotyku ruky pro útlum znějícího zvuku, a pak typicky jeden snímač ve středu (bell) a jeden na okraji (bow). Spínač pro útlum (choke) je zapojen tak, že zkratuje jeden ze snímačů.

2.3 Prototyp MIDI-Drum

Podnětem k zadání této diplomové práce bylo amatérské zařízení MIDI-Drum sestavené ve volném čase s podobnou zamýšlenou funkcionalitou, avšak s nedostatečným výkonem a bez schopnosti generovat zvuk. Zařízení je schopno snímat základní soupravu o osmi kanálech a jedním hi-hat spínačem a odesílat zvukové příkazy po MIDI sběrnici. Blokové schéma je vidět na obrázku 2.3.

Centrem je mikroprocesor PIC16F877 s taktem 20 MHz, 14 kB paměti programu, 368 B RAM, osmikanálovým 10 bit A/D převodníkem, sériovým portem, I²C sběrnici a dalšími perifériemi. Procesor je připojen k EEPROM paměti 24LC512, kde jsou uložena nastavení citlivosti a konfigurace bicích sad. Uživatelské rozhraní zajišťuje standardní LCD displej s řadičem HD44780 a čtveřice mikropínačů. MIDI signály jsou generovány sériovým modulem obsaženým v mikroprocesoru. Ten je primárně veden do konektoru sériové linky pro upgrade firmwaru, signál TX je však zároveň připojen na výstup MIDI. Dále je k dispozici konektor pro nízkoúrovňové ICSP programování. Rozšiřující konektor obsahuje zbylé nevyužité piny procesoru. Hotové zařízení je ilustrováno na obrázku 2.4.



Obrázek 2.3: Blokové schéma prototypu MIDI-Drum.



Obrázek 2.4: Zapojený prototyp MIDI-Drum, bez tlačítek.

2.4 Analýza prototypu

Tato podkapitola se věnuje popisu funkce prototypu MIDI-Drum z různých hledisek a zhodnocuje jeho nedostatky. Podrobně je popsáno fungování firmwaru, především algoritmu na zpracování vstupních dat.

2.4.1 Snímače a analogová část

Signály z piezoměničů jsou vedeny konektorem DB25 na hlavní desku, přičemž každému kanálu přísluší dvojice vodičů. Spínač hi-hat je připojen rovněž dvěma vodiči, které zvenku zkracuje běžný sustain pedál. Z hlavní desky jsou signály vedeny plochým kabelem do desky zesilovačů, jejichž zapojení je převzato z projektu eDrum [8]. Zesilovač jednoho kanálu je tvořen potenciometrem, ochrannými diodami a jedním operačním zesilovačem MCP602 pracujícím na napětí 5 V. Měřitelný signál je pak veden propojujícím konektorem do hlavní desky a směřuje přímo do procesoru, kde je vyhodnocován.

A/D převodník použitého procesoru je 10 bitový Successive Approximation Converter s analogovým multiplexorem na vstupu. Výběr kanálu řídí registry procesoru a konverzi je nutné jak programově spustit, tak následně detekovat její dokončení. Minimální perioda taktu převodníku je $T_{AD} = 2 \mu s$ a konverze vyžaduje přibližně 12 cyklů. Akvizice vstupu trvá $T_{ACQ} = 20 \mu s$, takže výsledná teoretická vzorkovací frekvence jednoho z $N_{ch} = 8$ kanálů, vyjádřená rovnicí 2.1, je přibližně 2800 Hz. Tento odhad navíc nepočítá s dobou zpracování dat procesorem. Takto nízká vzorkovací frekvence vede k nepřesnému měření intenzity úderu, a musí být kompenzována delším měřením, což naopak zvyšuje celkovou latenci, jak je popisováno dále v podkapitole 2.4.7.

$$f_s = \frac{1}{(T_{ACQ} + 12 \cdot T_{AD}) \cdot N_{ch}} \quad (2.1)$$

2.4.2 Uživatelské rozhraní

Ovládání je složeno ze čtyř tlačítek – dvě kurzorová, Enter a Escape. Displej zobrazuje v základním režimu odchytku hráče od tempa, úroveň intenzity úderů a případné chybové stavy. V menu je možné se pohybovat kurzorovými tlačítky mezi parametry, které lze po potvrzení měnit. V základním režimu fungují kurzorová tlačítka jako zkratky pro načtení nastavení a regulaci hlasitosti celého nástroje. Nastavení tempa metronomu a nahrávání do smyčky je ovládáno pedálem hi-hat. Řadič LCD poskytuje omezenou možnost použití uživatelských znaků, které jsou využity pro kresbu posuvníků.

Z technického hlediska vyžaduje připojení displeje neúměrný počet vodičů. I přes použití redukované 4 bitové sběrnice musí být zapojeny ještě další 3 řídicí signály. Reakční rychlost panelu zdaleka neodpovídá možné rychlosti aktualizace textové paměti řadiče.

Tlačítka jsou jednoduchým řešením, subjektivně jsou však mikrospínače, které jsou upevněny uprostřed rozměrné desky PCB hlučné, neboť se hluk šíří celou konstrukcí nástroje. Dále byl vybrán nevhodný typ panelu displeje, negativní s červeným podsvícením, který ve dne není dobře čitelný.

2.4.3 Komunikace s okolím

Bicí modul poskytuje pouze výstupní MIDI port, takže v případě, že je zapojen v řetězci dalších zařízení, musí být umístován na jeho počátku. Nelze také složitěji komunikovat s ostatními nástroji, neboť na sběrnici lze pouze vysílat. Dalším důsledkem je nemožnost využití „MIDI to USB“ převodníku ke komunikaci s počítačem pro aktualizaci firmwaru. K tomu je nutné zařízení otevřít a připojit vnitřní konektor sériové linky na kabel, popř. k Bluetooth modulu emulujícímu COM port. Baudová rychlost je také vzájemně nekompatibilní s MIDI. Experimentálním zabudováním Bluetooth na tomto konektoru však bylo ověřeno, že latence rádiového propojení není natolik velká, aby znemožňovala na nástroj

hrát, pokud je sampler řízen pomocí počítače. Kvůli odlišnosti baudové rychlosti je však možné používat jen jeden výstup současně.

2.4.4 Napájení

Návrh zařízení počítá se vstupem stabilizovaného 5 V napětí a hlavní deska je osazena pouze pojistkou. I když je odběr zařízení minimální (lze počítat s 20 mA pro logiku a 30 mA pro podsvícení displeje), v případě připojení Bluetooth modulu lze okem rozpoznat pulzování podsvícení. To je způsobeno odběrem, který se v párovacím režimu dvakrát do vteřiny změní z 20 mA na 50 mA. Dodatečná filtrace napájení kondenzátorem již není efektivní. Další chybou jsou příliš tenké napájecí dráhy na desce plošných spojů, které jsou vedeny i skrz mikrosvínače. Z praktického hlediska by taktéž bylo vhodnější zvolit typ konektoru, který se snadno nevytáhne, neboť výpadky napájení způsobené otřesy celé soupravy jsou relativně časté.

2.4.5 Doplnkové funkce

Modul kromě základních funkcí podporuje metronom s funkcí Tap Tempo (udání tempa opakovaným stisknutím pedálu) s nastavitelnými 2 až 16 dobami v taktu. Odchylku od udaného tempa lze i při vypnutém metronomu sledovat na základní obrazovce, kde se podle relativní chyby zobrazují jednoduché nebo dvojité znaky plus resp. minus. Pomocí udání začátku a konce taktu lze také nahrát krátkou sekvenci do zbývající RAM paměti procesoru a tu následně ve smyčce přehrávat.

Ovládání funkcí MIDI zahrnuje regulaci hlasitosti pomocí MIDI kontroléru č. 7 a volbu nástroje a banky tónů v přijímacím zařízení, které se používají pro změnu bicí sady. Nastavení také volí rychlost sériové linky mezi MIDI výstupem a Bluetooth modulem.

Z pohledu uživatele není ovládání metronomu vhodně umístěné a trvá dlouho, než jej hráč v menu nalezne. Specifikace tempa pomocí digitálního pedálu také není zcela vhodná, neboť i originální Yamaha sustain pedál obsahuje jazýčkové kontakty, a tak spíná v nepřesně naležitelné poloze, viz obrázek 2.5. To lze vyřešit použitím některého ze snímačů namísto pedálu, je však nutné modifikovat algoritmus zpracování dat z A/D převodníku. Stejný problém s nepřesností nastává u funkce nahrávání do smyčky.



Obrázek 2.5: Vnitřek sustain pedálu použitého jako spínač hi-hat.

2.4.6 Programová část

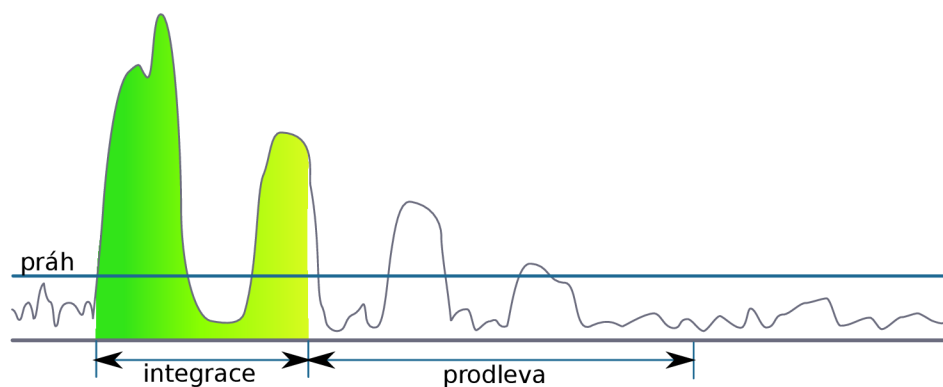
Procesor je programován v assembleru a během vývoje simulován v prostředí MPLAB IDE [9]. Dokončení A/D konverze produkuje přerušeni, ve kterém jsou zpracována získaná data a případně i vygenerována MIDI zpráva. Součástí obsluhy je spuštění nového převodu na dalším kanálu v pořadí. Odesílání sériových dat je řízeno rovněž v rámci přerušeni, neboť pak není nutné řešit konflikt přístupu k výstupnímu bufferu s hlavním programem. Navíc je frekvence přerušeni vyšší než baudová rychlost, takže vzniklé zpoždění na sběrnici není kritické. Díky tomu jsou primární funkce bicí jednotky nezávislé na běhu hlavního programu.

Hlavní program kromě inicializace provádí veškeré funkce uživatelského rozhraní, a ty mění sdílené proměnné v RAM. Zápis je vždy prováděn se zákazem přerušeni, kvůli možné kolizi s jeho obsluhou. Ve zbylém čase program pouze animuje sloupcový ukazatel hlasitosti výstupních not. Součástí uživatelského rozhraní je i komunikace po sběrnici I²C. Čtení a zápis do EEPROM paměti je prováděn po 64 bytech, neboť tato velikost postačuje pro uložení nastavení jedné bicí sady.

Obsluha přerušeni začíná čtením převedeného napětí kanálu a okamžitým přepnutím vstupu na další kanál, čímž začíná proces akvizice, který trvá již zmíněných $T_{ACQ} = 20 \mu s$. Při taktu $F_{OSC} = 20 \text{ MHz}$ provede procesor za tu dobu $\frac{F_{OSC} \cdot T_{ACQ}}{4} = 100$ instrukcí. V tomto čase probíhá algoritmus zpracování, a současně je spuštěn i časovač, který zaručuje minimální čekací dobu T_{ACQ} . Po skončení obsluhy a vypršení časovače je spuštěn další převod a kontext procesoru je přepnut do hlavního programu.

2.4.7 Algoritmus vyhodnocení vstupů

Vyhodnocení signálu má řadu nastavení – hlavním parametrem je práh, který určuje, kdy již je úroveň napětí považována za úder a kdy jde ještě o šum. Dalším parametrem je prodleva po úderu, po kterou je vstup ignorován, aby nedošlo k vícenásobnému sepnutí. Dál probíhá určení intenzity úderu, které během určeného času, např. 5 ms, sleduje úroveň signálu. Parametry jsou ilustrovány na obrázku 2.6.



Obrázek 2.6: Parametry vyhodnocení síly úderu na typickém průběhu signálu.

Po skončení této doby je intenzita úderu modifikována parametry kanálu, jako citlivost a minimální hlasitost. Nakonec je výsledek přeložen look-up tabulkou, která aplikuje lineární, exponenciální nebo logaritmickou funkci, pro žádaný průběh hlasitostní křivky. Tato korigovaná hlasitost je porovnána s nulou a v případě větší hodnoty je vytvořena MIDI

zpráva, která je zapsána do výstupního bufferu. V případě hi-hat je kvůli určení zvuku vzorkován stav pedálu.

Původní metodou sledování úrovně signálu pro zjištění intenzity úderu byla funkce hledající maximální hodnotu. To se neosvědčilo kvůli nepřírozené citlivosti na sílu úderu a funkce byla nahrazena integrací několika po sobě následujících vzorků. Větší časový interval sice poskytuje lepší tlakovou odezvu nástroje, avšak zvyšuje latenci, která je pro bicí kritická, jak popisuje podkapitola 2.5. Experimentálně bylo určeno, že suma 15 vzorků je dostatečná k vylepšení citlivosti oproti původnímu firmwaru.

2.4.8 Využití paměti

Z původních 368 B RAM je 80 B vyhrazeno pro různé pomocné proměnné, neboť architektura nemá zásobník pro lokální proměnné. Dalších 32 B slouží pro kruhový výstupní buffer sériového portu, 16 B je paměť pro integraci vstupních signálů. Blok velikosti 48+16 B obsahuje nastavení bicí sady a ukládá se do externí EEPROM paměti. Největší volný blok paměti, 96 B, slouží pro nahrávání do smyčky.

Paměť programu je 14 bitová a obsahuje vždy právě jednu instrukci. Celková paměť 8192 instrukcí je kvůli neschopnosti instrukce obsáhnout skoky na absolutní adresy takového rozsahu rozdělena na bloky po 2048 instrukcích. Mezi těmito bloky je třeba složitěji provádět skokové instrukce a instrukce volání podprogramů. Samotný hlavní program s uživatelským rozhraním zabírá první blok paměti a obsluha přerušení je v druhém bloku, což je výhodné, neboť mezi oběma částmi neprobíhají skoky. Zbytek je využit datovými tabulkami pro texty menu a pro look-up tabulky funkcí průběhu citlivosti.

2.4.9 Aktualizace firmware

Procesor podporuje standardní ICSP rozhraní, navíc však může sám přepisovat vlastní flash paměť. Díky tomu je možné nahrávat programy přes sériovou linku pomocí bootloaderu. Tvůrcem použitého bootloaderu je Martin Vonášek, autor seriálu *Mini škola programování mikrokontrolérů PIC* v časopise KTE [10]. Časopis byl již zrušen, nicméně některé informace jsou stále dostupné v [11].

2.5 Latence zvuku

Původní myšlenka propojení bicího modulu s počítačem, který bude mít za úkol generovat zvuk, se ukázala jako problematická, neboť čas mezi úderem do snímače a zvukem z reproduktorů dosahoval řádově 300 ms s použitím softwarové MIDI syntézy a přibližně 70 ms s DirectX. Pravděpodobná příčina leží ve výstupních bufferech, avšak lepší nastavení PC nebylo podrobněji zkoumáno. Nástroj MIDI-Drum místo toho spoléhá na připojení k sampleru, nebo jinému real-time generátoru zvuku. Stále je však nutné co nejlépe eliminovat zpoždění, protože drasticky snižuje schopnost hráče udržet rytmus.

Vliv latence dvou po sobě jdoucích zvuků na lidské vnímání zkoumá článek [12]. Od určité hodnoty je člověk schopen zvuky rozlišit a vnímá „echo“. Tato hranice se podle experimentu z článku nachází kolem 10 až 15 ms. Pro představu, pokud zvuk urazí během jedné milisekundy ve vzduchu 33 cm, pak latence 12 ms odpovídá situaci, kdy se zvuk akustického bubnu odráží ode zdi vzdálené 2 m od posluchače.

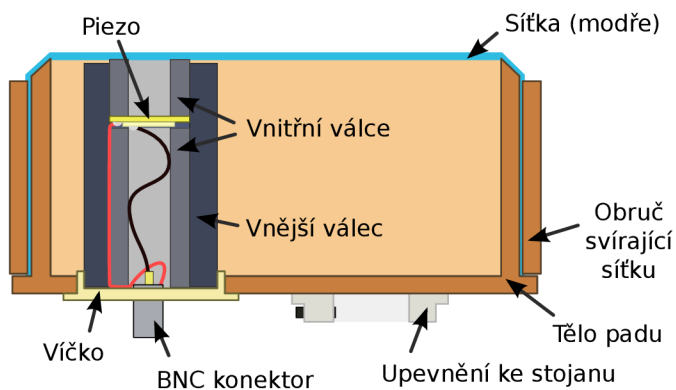
V kapitole 2.4.7 byla popisována úprava citlivosti spočívající v prodloužení doby měření vstupů. Pro zjištění celkové latence zařízení bylo prováděno měření pomocí záznamníku,

který nahrával zvuk paličky dopadající na tvrdou plochu snímače a následný zvuk z reproduktoru. Při experimentu byl jako generátor zvuku použit keyboard Yamaha PSR-730. S novou metodou integrace vstupní úrovně dosahovala latence až 18 ms při 25 analyzovaných vzorcích, minimální naměřená hodnota byla 8 ms při pouhých 2 vzorcích. Citlivost v druhém případě však byla zcela nevyhovující.

2.6 Bicí souprava a konstrukce snímačů

V rámci konstrukce prototypu MIDI-Drum byla postavena bicí souprava se čtyřmi pady potaženými sítkou a třemi jednoduchými činelovými pady. Rám konstrukce je postaven ze systému Joker 25 pro konstrukci polic a dalšího vybavení obchodů. Výhodou jsou spojky, které lze zafixovat jediným šroubem a poskytují mnoho stupňů volnosti, a tak i širší možnosti při pozicování padů. Samotné pady jsou připevněny pomocí rozet, které se přichytí na vhodně natočenou trubku konstrukce.

Pady, jejichž konstrukce je znázorněna na obrázku 2.7, jsou složeny ze dvou hlavních částí – těla, přes které je natažena dvojitá síťka, a obruče, která je pevně přetažena přes síťku, drží svorem a napíná ji. Ve spodní části těla je otvor, kudy je vložen pěnový válec se snímačem sedící na silikonovém víčku. Pěnový válec se snímačem, viz obrázek 2.8, je tvořen vnější trubkou, ve které je vložen piezoměnič a z obou stran je utěsněn trubkou o slabším průměru. Činelové pady jsou pouze ve formě kovového plechu, na němž je shora nalepena vrstva materiálu tlumící hluk. Ve spodní části je přilepen piezoměnič.



Obrázek 2.7: Ilustrace konstrukce padu se sítkou.



Obrázek 2.8: Senzory v různých fázích kompletace (zkrácená verze).

Kvalita padů se sítkou je dobrá, a i když je pevnost sítěk nižší, než by bylo žádoucí, stále postačuje pro pohodlné hraní. Pady činelů jsou méně zdařilé a svým pohybem na konstrukci způsobují falešné údery. Nevýhodou padů je nepřítomnost rantlu a celkově nízký počet snímačů. Vhodným pokrokem by byla výroba padů s větším průměrem, více-zónovými senzory a nastavitelným napnutím síťky. Toto může umožnit právě nový bicí modul, který by mohl být schopen snímat dostatečný počet senzorů.

Použité materiály jsou velmi levné, pady jsou vyrobeny z novodurových odpadních trubek, jako blána slouží běžná síť proti hmyzu a úhlové spojky kotlů jsou částí vodovodní instalace. Vrstva na povrchu činelových panelů je přebytečný materiál, pravděpodobně mirelon.

2.7 Shrnutí

Prodávané bicí moduly poskytují 10 až 15 vstupních kanálů, disponují několika zvukovými výstupy, vstupem pro připojení MP3 přehrávače a obvykle USB nebo MIDI rozhraním. Produkovaný zvuk a použité vzorky jsou převážně v CD kvalitě. Snímače jsou tvořeny piezoměničem připevněným na různě zdařilých napodobeninách akustických bubnů. Pokročilé snímače obsahují napínanou sítkou a dvojici piezoměničů. Sestavený prototyp je funkční zařízení schopné snímání bicí soupravy, neprodukuje však zvukový výstup. Latence zařízení je přibližně 15 ms.

Kapitola 3

Návrh hardware

Tato kapitola popisuje návrh nového zařízení, rozebírá zvažovaná řešení a výběr součástí. Nejprve jsou určeny požadované parametry na základě dostupných nástrojů na trhu v kapitole 2.1. Dále je zdůvodněn výběr komponent a prezentováno blokové schéma zařízení. Nakonec je prezentována navržená deska plošných spojů.

3.1 Požadavky na parametry navrhovaného zařízení

Zařízení by mělo poskytovat více než 8 analogových vstupů, aby bylo možné experimentovat z více-zónovými pady, případně rozšířit stávající bicí soupravu o další zvuky. Zkoumané komerční produkty poskytovaly nejvýše 16 takových vstupů, tudíž lze předpokládat, že větší množství vstupů není praktické nebo by nebylo již reálně využitelné. Požadavek na počet vstupů tedy bude přiblížit se k číslu 16.

Audio výstup by měl mít minimálně jeden linkový výstup pro připojení k zesilovači, případně druhý pro příposlech. Množství oddělených výstupů pro mixážní pult se zdá být přehnaný požadavek, neboť jej obsahují převážně profesionální moduly. Naopak všechny zkoumané bicí moduly obsahovaly sluchátkový výstup a jeden stereofonní vstup pro hudební doprovod. Tyto vlastnosti nejsou sice nezbytné pro primární funkci zařízení, ale velkou měrou zvyšují jeho použitelnost a komfort uživatele. Proto by je navrhované zařízení mělo také obsahovat.

I když je MIDI rozhraní na ústupu, je stále standardní součástí elektronických nástrojů. Bicí modul bude obsahovat jednotku generující zvuk, a potažmo řídit ostatní zařízení. Měl by tudíž obsahovat MIDI vstup a výstup. Vstupní port by měl být galvanicky oddělen, aby nedocházelo k přenosu rušení mezi nástroji.

USB rozhraní není nezbytné. Pokud by bylo implementováno, mohlo by sloužit k připojení MIDI a audia k počítači, nebo i k aktualizaci vzorků. Počet uložených vzorků je téměř bezpředmětný, pokud bude umožněna jejich výměna pomocí paměťových karet. Bude-li se využívat nějaká forma RAM paměti, která bude mít oproti kartě násobně menší velikost, bude třeba se zaměřit na množství současně načtených vzorků.

Polyfonie zvukového generátoru by měla dosahovat nejméně 16 a být ideálně co nejvyšší. Většina produktů se blíží 64, což ale klade vysoké nároky na výkon zařízení. Pro formát vzorků postačí běžná CD kvalita.

3.2 Vhodné paměti pro vzorky

Pokud uvážíme 16 bitové stereo vzorky s vzorkovací frekvencí $f_s = 44100$ Hz, je datový tok jednoho kanálu přibližně 1,4 MBit/s. I kdyby polyfonie byla pouhých 16 hlasů, dostává se požadovaný tok na hodnotu 20 MBit/s. Volba paměti je tedy klíčová v návrhu dostatečně výkonného zařízení. Existuje několik základních typů pamětí, jejich základní principy detailněji popisuje [13]. Při návrhu zařízení se nabízí několik základních variant:

- Statická (SRAM) nebo pseudostatická paměť (PSRAM)
- Dynamická paměť (DRAM)
- Flash paměť typu NAND nebo NOR
- Čtení přímo z SD karty

3.2.1 Paměti SRAM a PSRAM

Statické paměti (SRAM) jsou velmi jednoduché na řízení a poskytují nejvyšší přenosovou rychlost. Vybavovací doba při náhodném přístupu se typicky pohybuje v desítkách nanosekund. Paměti jsou připojeny oddělenou adresovou a datovou sběrnicí a řídicími signály aktivujícími zápis a čtení. Nevýhodou je poměr jejich ceny k velikosti – nejlevnější paměť o kapacitě 16 Mbit je v době psaní práce k dostání za cca 300 Kč. Při této velikosti by bylo možné uchovat pouze necelých 12 s záznamu.

Vzorky by bylo možné uložit v mono formátu a mixovat je softwarově podle nastavených vah mezi levým a pravým kanálem. Tak by vzrostla délka záznamu na 23 s. Pro 16 kanálů by tak byl k dispozici např. vteřinový vzorek a zbývajících několik vteřin by se využilo pro delší dozvuky činelů.

Výhodou tohoto typu paměti by byla i možnost předzpracování načítaných zvuků např. dozvukem a dalšími efekty. Naopak problém by mohla působit šíře obou sběrnic, bylo by potřeba 20 adresových a 8 nebo 16 datových vodičů na desce plošných spojů a pinech na procesoru.

Jako PPSRAM jsou označovány dynamické paměti, které mají zabudovaný řadič tak, aby se navenek chovaly jako paměti statické. Výhodou je jejich nižší cena v závislosti na velikosti, během zkoumání pamětí se však nepodařilo sehnat žádného dodavatele.

3.2.2 Paměti DRAM

Dynamické paměti jsou násobně levnější, na druhou stranu je jejich řízení složitější. Za cenu do 200 Kč lze pořídit paměť velikosti 512 Mbit postačující na 380 s záznamu. Komunikační protokol je však příliš náročný na připojení k jednoduchému mikroprocesoru bez integrovaného řadiče, navíc je nutné paměti periodicky obnovovat. Vhodný řadič s jednoduchým řízením nakonec nebyl nalezen, a proto bylo od použití dynamických pamětí upuštěno.

3.2.3 Paměti Flash

Tyto typy pamětí je lépe rozdělit do několika kategorií. Podle typu technologie jsou označeny jako NOR a NAND. První druh je typicky rychlejší, lze číst i modifikovat po menších blocích a má krátkou přístupovou dobu. Tomu odpovídá i jejich vyšší cena. Naopak NAND paměti jsou typicky přístupné po větších blocích a trvá řádově desítky μ s, než je blok vybaven.

Paralelní NOR Flash (např. S29GL512) má podobné výhody jako SRAM, až na ne-
možnost nepřetržitého zápisu v reálném čase. Přístupová doba je typicky kolem 100 ns,
sekvenční čtení pak v desítkách ns. Cena 512 Mbit paměti je srovnatelná s DRAM, tedy
relativně příznivá. Nevýhodou je opět šířka oddělené adresové a datové sběrnice.

Sériové NOR Flash jsou rovněž výkonné (např. S25FL512). Komunikují přes rozhraní
SPI s frekvencí 50 MHz i výše. Díky technologii paměti je možné po udání adresy oka-
mžitě číst data. Již takto by teoreticky bylo možné dosáhnout 35 hlasé polyfonie. Bohu-
žel dostupné mikrokontroléry nejsou schopny s takovou frekvencí pracovat. Paměti také
umožňují rozšíření SPI sběrnice na 4 datové piny, ovšem opět nebyl nalezen MCU, který
by toto podporoval.

Vzorky by bylo opět možné uložit v mono kvalitě, jeden SPI modul běžného mikro-
kontroléru pracující na 18 MHz by pak vystačil na 25 hlasou polyfonii. Možným řešením
by také bylo využít MCU s více SPI jednotkami připojenými k více pamětem. Procesory
s rychlejšími SPI moduly jsou naneštěstí dramaticky nákladnější.

Paralelní NAND Flash paměti (např. S34ML01G). Jak bylo již řečeno, jeden přístup
k bloku dat trvá až 25 μ s, avšak sekvenční čtení již vybaveného bloku může probíhat s časy
25 ns. Mikrokontrolér by v tomto případě musel obsahovat velkou vyrovnávací paměť. Vý-
hodou oproti ostatním pamětem je cena, neboť 1 Gbit paměť lze pořídit za necelých 100 Kč.
Přítomnost samostatné adresové sběrnice na čipu díky době vybavení stránky ztrácí smysl,
a tak je multiplexována s datovou sběrnicí. Tím ulehčuje návrh desky plošných spojů i ná-
rokům na využití piny procesoru.

Nevýhodou je zmíněná nutnost přítomnosti vyrovnávací paměti a dále špatná dostup-
nost paměťových čipů s 16 bitovou sběrnicí, které byly v době psaní práce k dostání pouze
v BGA pouzdře, které nelze ručně pájet.

3.2.4 Čtení dat přímo z SD karty

Pokud je uvažováno používání karty v SPI režimu, je rychlost čtení omezena rychlostí SPI
modulu mikrokontroléru. Ta je nevyhovující. Možným řešením je použití vícebitové sběrnice
v SD režimu, který však naráží na nutnost znalosti standardu. Další možností je použití
volně dostupného standardu pro MMC karty. Obě možnosti jsou nicméně komplexnější než
prostý paměťový čip.

3.3 Volba paměti a mikrokontroléru

Typ MCU byl volen primárně podle připojované paměti se vzorky. Bylo zjištěno, že výkon-
nější mikrokontroléry rodiny STM32F disponují jednotkou FSMC pro obsluhu externích
pamětí typu SRAM, PSRAM a Flash. Tato periferie dovoluje připojit až 24 bitů adresové
a 16 bitů datové sběrnice. Připojení adresové sběrnice by však vyžadovalo rozměrný proces-
sor se 144 piny. Proto bylo rozhodnuto použít 16 bitovou NAND Flash paměť připojenou
právě přes rozhraní FSMC.

Při čtení dat z paměti se střídají fáze čekání na vybavení bloku a samotné čtení dat.
Teoretický výkon proto závisí na velikosti vyrovnávací paměti v RAM procesoru. Dalším
parametrem ovlivňujícím správné časování je dostatečně vysoká pracovní frekvence. Na
tomto základě byl vybrán procesor STM32F103VDT6.

Použitý procesor má dostatek vývodů na použití 16 bitů široké sběrnice. I když dostupné NAND Flash paměti v ručně letovatelném pouzdře byly pouze 8 bitové, řídicí příkazy jsou takto široké nezávisle na šířce externí sběrnice. Díky této konstrukci by mělo být možné připojit dvě paměti zároveň, jednu pro každou polovinu sběrnice. Jediným sdíleným výstupním signálem je signál Busy/Ready indikující probíhající čtení bloku. Tento signál je však typu Open-drain, tzn. je pouze přizemňován a všechny čipy na lince tak tvoří logický součin. Teoreticky tak ke kolizím dojít nemůže.

3.3.1 Odhad výkonosti

Výkon paměti bude kromě celkové velikosti SRAM záviset na zvolené velikosti bloku s_{blk} a lze jej odhadnout výpočtem s následujícími parametry. Aby přehrávání zvuku pro každý vstupní kanál mohlo začít okamžitě bez čekání na paměť, bude první blok zvukových dat vždy uložen ve vyrovnávací paměti. Pro $n_{ch} = 16$ vstupních kanálů bude potřeba $s_{blk} \cdot n_{ch}$ bajtů. Pro hledanou maximální polyfonii p bude potřeba každému zvuku vyhradit jeden prázdný blok, kam budou čtena data z flash paměti a druhý blok, odkud budou data odesílána do zvukového výstupu. To vyžaduje dalších $2 \cdot p \cdot s_{blk}$ bajtů.

Systém bude stíhat, pokud za dobu přehrávání jednoho plného bloku stihne provést naplnění všech p teoreticky prázdných bloků. Čas přehrávání zvuku z plného bloku T_{play} je podle rovnice 3.1,

$$T_{play} = \frac{s_{blk}}{f_s \cdot b_{sample}} \quad (3.1)$$

kde $f_s = 44100 \text{ Hz}$ je vzorkovací frekvence a $b_{sample} = 4B$ je počet bajtů potřebných pro jeden vzorek. Čas potřebný pro přečtení jednoho bloku T_{read} je podle rovnice 3.2,

$$T_{read} = T_{page} + s_{blk} \cdot \frac{T_{word}}{b_{bus}} \quad (3.2)$$

kde $T_{page} = 25 \mu\text{s}$ je čas vybavení bloku, $T_{word} = 100 \text{ ns}$ je odhad času čtení jednoho slova na sběrnici a $s_{bus} = 2$ je šířka sběrnice v bytech. Při vyrovnávací paměti o velikosti m_{free} je pak polyfonie největší číslo $p \in \mathbb{N}$ takové, pro které platí rovnice 3.3.

$$p \leq \frac{T_{play}}{T_{page}}, \quad n_{ch} + 2 \cdot p \leq \frac{m_{free}}{s_{blk}} \quad (3.3)$$

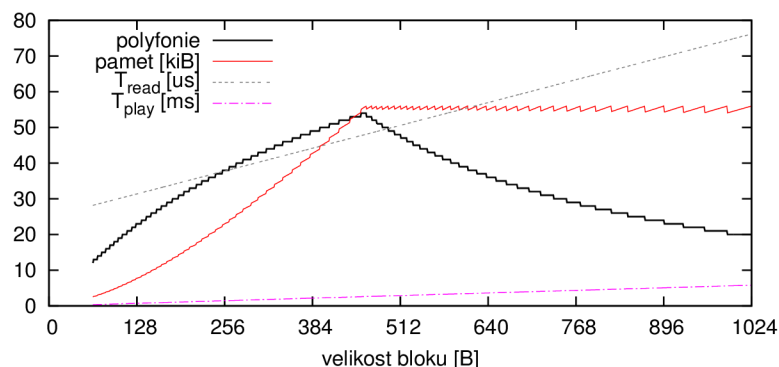
Odhad závislosti velikosti bloku vyrovnávací paměti na maximální polyfonii je vyneseno v grafu na obrázku 3.1. Maximální polyfonie $p_{max} = 54$ je dosaženo při velikosti bloku kolem $s_{blk} = 459B$. Při zaokrouhlené velikosti bloku na $s_{blk} = 512B$ je polyfonie $p = 48$, což je stále uspokojivá hodnota.

Operace s pamětí prostřednictvím periferie FSMC jsou mapovány do paměti, takže by mělo být možné je provádět na pozadí. V opačném případě by bylo využito přibližně 50 % výkonu MCU přenosem dat. Ve chvílích čekání na paměť by byl prováděn hlavní program.

3.3.2 Ostatní periferie procesoru

Součástí zvoleného MCU je A/D převodník s rozlišením 12 bitů, 1 Msps a schopností cyklického snímání kanálů. Periferie je schopna snímat všechny vstupy automaticky bez zásahu procesoru. Výsledky měření by mělo být možné přenášet kanálem DMA.

Smíchané vzorky mohou být posílány do externího D/A převodníku nebo kodeku pomocí SPI jednotky, která dokáže pracovat v režimu I²S. K řízení dalších případných zařízení může



Obrázek 3.1: Graf závislosti polyfonie na velikosti bloku vyrovnávací paměti. Vynesené hodnoty platí pro dvě paměti NAND Flash se stereo vzorky v CD kvalitě.

být použito I²C sběrnice, několika sériových portů a další nezávislé SPI jednotky, která bude komunikovat s SD kartou. Celkově by tak měl být procesor dostatečně výkonný pro všechny zamýšlené funkce.

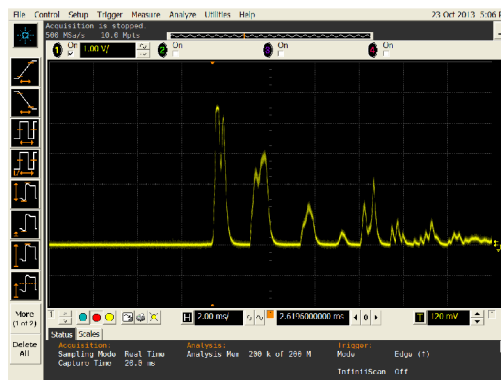
Většina vývodů procesoru má několik sdílených funkcí. Vodiče s podobnou funkcionalitou jsou mnohdy umístěny v rámci různých IO bran, které jsou navíc na pouzdře rozmístěny nesouvisle. Pro účely přiřazení vodičů a periférií existuje volně dostupný nástroj MicroXplorer, který návrh usnadňuje.

3.4 Analogové vstupy

Jako předzesilovač vstupních signálů lze použít vyzkoušené zapojení z prototypu. V rámci analýzy bylo provedeno měření napěťových průběhů na samotném piezoměniči a taktéž na výstupu z operačních zesilovačů. Úder odpovídající poloviční hlasitosti je zobrazen na obrázku 3.2 a trvá přibližně 10 ms. Obrázek 3.3 ukazuje obdobný úder na výstupu zesilovače. Protože vstupy pracují jen s kladnými napětími, jsou záporné průběhy oříznuty.



Obrázek 3.2: Průběh napětí na piezoměniči při úderu, časová osa 10 ms / div.



Obrázek 3.3: Průběh napětí na výstupu desky zesilovače, časová osa 2 ms / div.

3.5 Výběr kodeku

Zvukový výstup může být produkován audio D/A převodníkem, existují také převodníky se zabudovanými budiči pro linkové a sluchátkové výstupy. Ještě výhodnější je použití zvukového kodeku, což je zařízení obsahující několik vstupů i výstupů. Linkový vstup pro účely zvukového doprovodu není nutné vést A/D převodníkem do procesoru a mixovat jej interně, mnoho kodeků totiž podporuje tzv. bypass režim, kdy jsou signály míchány v rámci jednoho čipu. Existují též kodeky s více linkovými a zároveň i sluchátkovými výstupy. Většina je však dodávána v pouzdrech QFN, které je velmi obtížné ručně pájet.

Proto byl zvolen kodek WM8731, který je dodáván i v pouzdře SSOP 28 a poskytuje linkový a sluchátkový výstup, stejně tak i linkový vstup s možností jeho přimíchání do obou výstupů. Hlasitost a další parametry lze nastavovat pomocí sběrnice I²C.

Zvukové rozhraní je kompatibilní s procesorem a podporuje vzorkovací frekvence od 8 kHz do 96 kHz. Udávaná hodnota SNR D/A převodníku je 100 dB [14].

3.5.1 Režim komunikace

Pro přenos zvuku je použito standardního rozhraní I²S. To dovoluje obousměrný přenos dvoukanalového zvuku přes synchronní sériové linky. Hodinový signál CLK, někdy označovaný jako Bit Clock, vzorkuje datové linky svou nástupnou hranou. Samotná data jsou přenášena jedním vodičem pro každý směr a prochází jím n bitové hodnoty obou kanálů za sebou. Nejdříve se vysílá nejvýznamnější bit. Data levého a pravého kanálu jsou rozlišena signálem Word Select (WS), jeho časování se podle standardů liší, avšak kanály se vždy střídají, a tak jeho perioda vždy odpovídá vzorkovací frekvenci f_s . Posledním signálem je MCLK, tzv. Master Clock. Tento signál není důležitý pro přenos samotných dat, používá se však k taktování vnitřní logiky převodníků. Jde o signál se střídou 50% o frekvenci v násobcích f_s , např. $256 f_s$.

Použit je režim komunikace Left-Aligned, při kterém je signál WS v nízké úrovni během vysílání levého kanálu a ve vysoké úrovni po dobu vysílání pravého kanálu. Protože mikroprocesor podporuje pouze semiduplexní I²S komunikaci, je použita pouze jedna datová linka směrem do kodeku, pro přehrávání zvuku. Kvůli přesnějšímu časování, jak je popsáno dále, je zvolena šíře dat $n = 16$ bitů a vzorkovací frekvence $f_s = 44100 \text{ Hz}$.

3.5.2 Časování

Samotný kodek je možné časovat několika způsoby. Čip obsahuje oscilátor pro buzení krystalu, druhý pin krystalu je potom připojen do hodinového vstupu. Tento vstup však může být přímo připojen na signál MCLK o frekvenci 256 nebo $512 f_s$. Během návrhu desky plošných spojů bylo počítáno s druhou variantou, neboť MCU dokáže signál generovat. Požadovaná frekvence je však příliš vysoká, než aby ji bylo možné s dostatečnou přesností odvodit z taktu procesoru 72 MHz a vybraný typ MCU nedisponuje dedikovaným PLL pro tyto účely. To by mělo za následek posuv ve vzorkovací frekvenci o více jak 6%. Podle vzorce 3.4 lze vypočítat výškovou odchylku zvuku, kde záleží na poměru skutečné $f_a = 46875 \text{ Hz}$ a požadované frekvence $f_b = 44100 \text{ Hz}$. Odchylka by přesahovala 105 centů, tedy více než jeden půltón.

$$n = 1200 \cdot \log_2 \left(\frac{f_a}{f_b} \right) \quad (3.4)$$

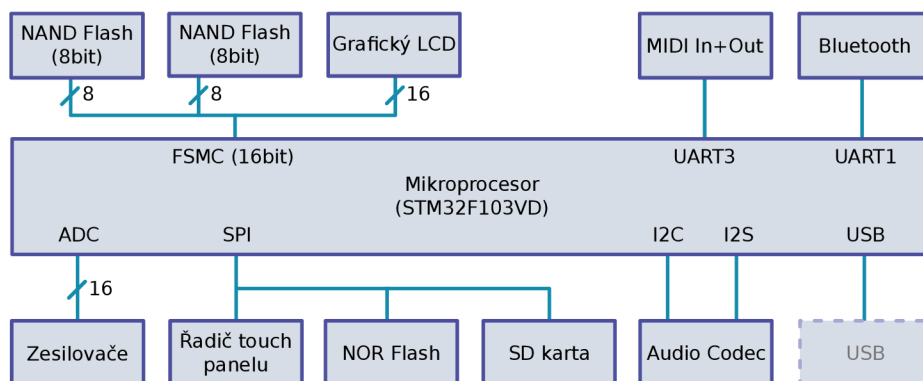
Kodek naštěstí počítá s možností zapojení v systému s USB na frekvenci 12 MHz. Správná funkčnost je zajištěna nastavením vstupu MCLK na netypických $272 f_s$. Nedokonalostí I²S periferie procesoru je, že dokáže produkovat jediné $256 f_s$ MCLK. Shodou okolností je však tentýž výstupní pin Output Compare výstupem časovače, který běží na 72 MHz a stihá tak v režimu Toggle a porovnávací hodnotě 3 dodávat požadovaných 12 MHz. Vzorkovací frekvence v tomto tzv. USB režimu je ve skutečnosti 44118 Hz. Podle vzorce lze opět vypočítat výškovou odchylku, která činí necelý 1 cent, tj. méně než setinu pultónu, a je tak lidským uchem nepostřehnutelná.

3.5.3 Ovládání výstupů a hlasitosti

Čip je nutné nakonfigurovat, aby očekával správnou f_s a podle toho správně volil interní filtry. Dále lze zapínat bypass režim a samostatně nebo současně zesilovat všechny kanály. To zajišťuje sběrnice kompatibilní s I²C. Kodek je adresovatelný pouze pro zápisové operace, první datový byte určuje 7 bitů registr a nejvyšší bit zapisované hodnoty. Druhý datový byte nese zbyvajících 8 bitů. Registry jsou do detailu popsány v katalogovém listu [14], včetně sekvence doporučených příkazů pro minimalizaci ruchů způsobovaných při zapnutí.

3.6 Blokové schéma zařízení

Blokové schéma zařízení je uvedeno na obrázku 3.4. Centrem je mikroprocesor STM32F103V, který je připojen k periferiemi paralelní datovou sběrnicí o šířce 16 bitů, sběrnicemi I²C, SPI a I²S a dvěma sériovými linkami. Hlavní datová sběrnice je rozdělena na nižší a vyšší slabiku a každá z nich je připojena k jedné paměti. Samostatně jsou vedeny signály Chip Select pro každé zařízení a signály Address Latch a Command Latch. Ostatní řídicí signály jsou sdíleny.



Obrázek 3.4: Blokové schéma navrhovaného zařízení.

Sběrnice SPI je sdílena řadičem dotykového panelu, sériovou flash pamětí a SD kartou. Každé zařízení má opět zvlášť veden signál Chip Select. Komunikace je plánována převážně s řadičem panelu s relativně nízkou rychlostí a vysokou periodou. V případě nutnosti navýšení výkonu je možné využít právě sériovou flash paměť s nízkou kapacitou, ale krátkou přístupovou dobou. SD karta je zamýšlena pro aktualizaci vzorků a nebude používána při běžném provozu. Možností je však rozšíření doplňkových funkcí tak, že bude možné přehrávat doprovod, či zaznamenávat generovaný zvukový výstup právě pomocí paměťové karty.

Zvukový kodek je připojen dvěma sběrnicemi, I²S přenáší zvuk a hodinový signál, I²C funguje pro řízení hlasitosti a režimu kodeku. V případě potřeby však není vyloučeno připojení dalších zařízení na sběrnici jako např. čip pro sledování teploty stabilizátoru napětí nebo řízení kanálu FM vysílače.

Uživatelské rozhraní je realizováno grafickým displejem TFT01 od ElecFreaks. Jde o modul s radičem SSD1963 a 5" panelem s rozlišením 800 × 480 pixelů. Radič komunikuje po paralelní sběrnici, která může být sdílena s již existující sběrnicí flash paměti. Modul obsahuje taktéž radič dotykové fólie, který je ovládán po SPI, a slot pro SD kartu.

3.7 Napájení

Hlavní deska počítá s přívodem stejnosměrného 5 V napětí a jeho stabilizací 3,3 V lineárním regulátorem. Na vstupu je osazena vratná tavná pojistka a dioda v závěrném směru, která má chránit před přepólováním tak, že zkrátí zdroj a přeruší pojistku. Při správné polaritě zdroje proud diodou neprochází. Další možností napájení je USB konektor. Vstup napětí z USB je oddělen diodou v propustném směru, aby při napájení externím zdrojem nedocházelo k toku proudu z desky směrem do USB radiče. V tomto případě již dochází k poklesu napětí po průchodu diodou, je proto nutné použít stabilizátor s nízkým úbytkem napětí V_{DO} .

Spotřeba proudu je uvedena v tabulce 3.1. Největší zátěž představuje podsvícení LCD displeje. Ostatní součástky vyžadují menší příkon, jejich maximální spotřeba se projevuje jen chvilkově, při aktivaci veškerých součástí, nebo v určitém režimu, např. u NOR Flash při programování. Všechna zařízení také nebudou provozována současně, tudíž maximální spotřeba by neměla být trvalého rázu. Použitý čip je LM3940 s maximálním udávaným odběrem 1 A, rezerva by měla být dostatečná. Nižší než maximální odběr podle katalogového listu [15] také vede k nižšímu úbytku napětí V_{DO} a také k menšímu zahřívání. Podle poskytnutých rovnic pro výpočet chlazení je možné stabilizátor provozovat bez přidavného chladiče.

Zařízení	běžný odběr	maximální odběr
NOR Flash	22 mA	100 mA
Bleetooth (HC-05)	?	42 mA
Zesilovače	4 mA	?
Kodek	12 mA	24 mA
Mikroprocesor	60 mA	70 mA
MIDI optočlen	2 mA	5 mA
Řadič dotykového panelu	1 mA	50 mA
SD karta	20 mA	100 mA
NAND flash (jedna)	15 mA	30 mA
LCD vč. podsvícení	?	350 mA
Celkem	543 mA	805 mA

Tabulka 3.1: Spotřeba jednotlivých součástí podle dostupných katalogových listů.

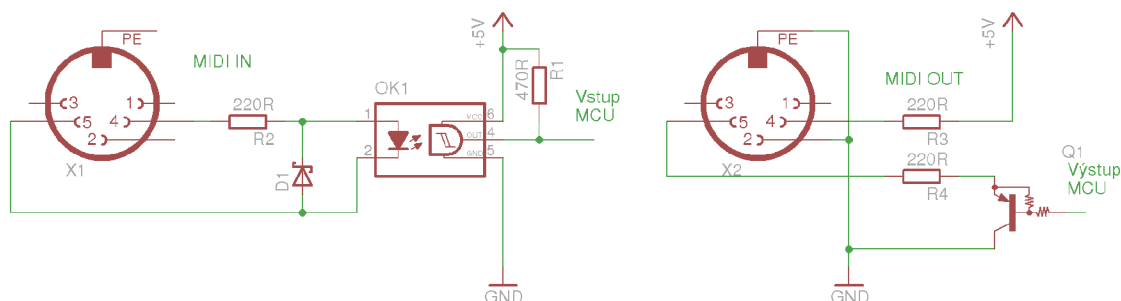
3.8 Asynchronní sériová rozhraní

Pro komunikaci s počítačem je použit Bluetooth modul HC-05 připojený k primárnímu sériovému portu procesoru, na kterém pracuje zabudovaný bootloader. Za běhu programu navíc může být na této lince dostupná ladicí konzole. Modul je možné ovládat AT příkazy pro přepnutí rychlosti komunikace, připojení k dalšímu zařízení apod., což ponechává prostor pro implementaci dalších funkcí zařízení, např. bezdrátový příjem MIDI dat z prototypu. Pro případ rušivého vlivu modulu na zbytek zařízení je vyveden signál Reset pro jeho deaktivaci.

3.8.1 MIDI

MIDI rozhraní se od běžné UART linky liší přenosovou rychlostí $B_{MIDI} = 31250$ a definicí logické 0 a 1 na sběrnici. Za účelem minimalizace rušení nejsou tyto stavy určeny napětím, nýbrž protékajícím proudem. V klidovém stavu sběrnice (log. 1) proud neprotéká, což odpovídá vysoké úrovni napětí v UART. Aktivní úroveň (log. 0) je definována protékajícím proudem, který má podle standardů [16] hodnotu 5 mA.

Všechna zařízení musí být galvanicky oddělena, aby nedocházelo k přenosu brumů mezi nástroji. Přijímací strana proto musí být osazena optočlenem. Aktivní úroveň na sběrnici tak způsobuje rozsvícení LED diody optočlenu. Typické zapojení je na obrázku 3.5. Proud protéká vždy z pinu č. 4 do pinu č. 5. Na přijímací straně je omezen proud rezistorem R2 a jeho směr diodou D1, aby nedošlo k poškození optočlenu i při nesprávném zapojení. Rozsvícení LED má za následek sepnutí budiče, který uvede vstup MCU do log. 0. Vysílací strana je chráněna před zkratováním obvodu rezistory R3 a R4, proud je spínán pomocí tranzistoru při nízké úrovni na výstupu MCU. Stínění kabelu musí být uzemněno pouze na vysílací straně.



Obrázek 3.5: Běžné připojení MIDI k sériové lince mikroprocesoru.

Informace jsou přenášeny ve zprávách složených z několika bytů. První byte (tzv. Status) určuje typ zprávy a má vždy nastaven nejvýznamnější bit, což dovoluje zotavení spojení po výpadku. Datové byty, které bezprostředně následují, jsou tak omezeny na hodnoty v rozsahu 0-127. Některé zprávy se týkají jednoho z 16 existujících MIDI kanálů, ten je v takovém případě indikován čtyřmi nejnižšími bity Status bytu.

Základním úkolem je přenos informace o aktivaci a deaktivaci zvukového generátoru pomocí zpráv Note On a Note Off. Datové hodnoty, uvedené v tabulce 3.2, určují výšku noty a její hlasitost. U kanálu č. 10, který je vyhrazen pro bicí, je výška noty mapována na typ zvuku (virbl, činel, kotel...). Nemá také smysl vysílat informaci o délce trvání zvuku, přesto však podle normy musí všem zprávám Note On odpovídat stejný počet Note Off.

V případě bicích lze tuto zprávu odeslat okamžitě po zapnutí zvuku, přičemž vypnutí je možné realizovat i zprávou Note On s nulovou hlasitostí. Díky možnosti tzv. Running Status bytu navíc není třeba opakovaně vysílat status byte, dokud jsou všechna data stejného typu a patří témuž kanálu. Díky tomu je možné odeslat jednu zprávu o délce bytů složenou ze status bytu pro Note On na kanálu 10, čísla zvuku, hlasitosti, opět čísla zvuku a nakonec nulové hlasitosti.

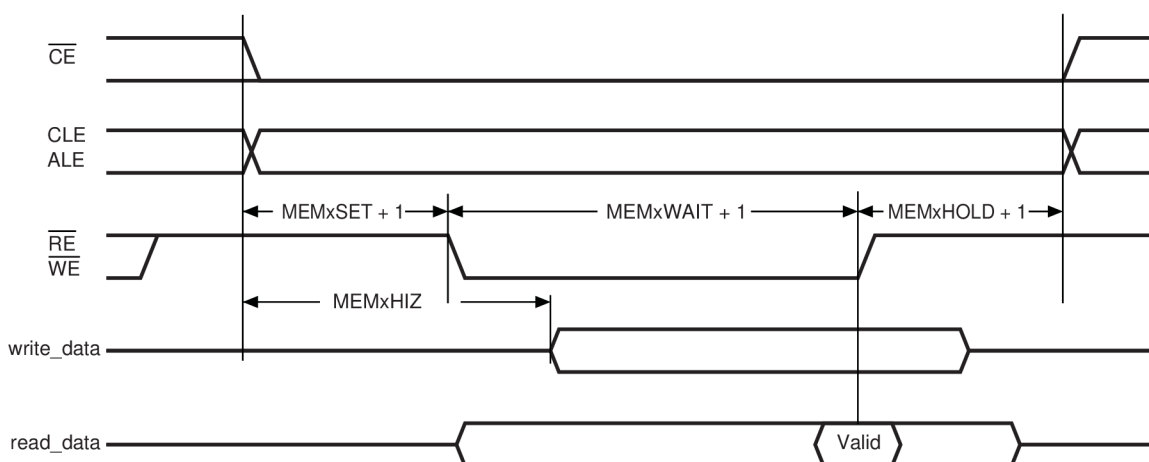
Další schopností je přenášet údaje o nastavení hodnot jako hlasitost, síla reverbu, pitch bend atd. K tomu slouží tzv. kontroléry. Důležitý je především kontrolér č. 7 – celková hlasitost nástroje. Poslední používanou funkcí je volba nástroje kanálu, která v případě bicích určuje typ bicí soupravy.

Typ zprávy	Status byte	Data	Popis
Note Off	0x8n	Výška, Rychlost	Vypnutí zvukového generátoru požadovanou rychlostí.
Note On	0x9n	Výška, Rychlost	Zapnutí generátoru.
Control change	0xA _n	Kontrolér, Hodnota	Změna hodnoty kontroléru.
Program change	0xC _n	Číslo nástroje	Volba bicí sady.

Tabulka 3.2: Přehled použitých MIDI zpráv. Všechny zprávy se vztahují ke kanálu n.

3.9 Princip komunikace na paralelní sběrnici

Hlavní datová sběrnice připojuje k mikroprocesoru dvě logická zařízení – řadič LCD displeje a dvojici čipů NAND Flash. Komunikující zařízení je vybráno aktivací jednoho ze signálů Chip Select (nebo také Chip Enable, CE). Zápisová operace začíná vystavením 16 bitů na datové vodiče a je následována krátkou aktivací signálu Write Enable (WE), který aktivuje vstup klopného obvodu uvnitř čipu. Data jsou typicky zachycena vzestupnou hranou a musí být přítomna před aktivací i chvíli po deaktivaci signálu WE. Čtecí operace je obdobná, avšak řízení datových pinů provádí zařízení, a to při aktivaci signálu Read Enable (RE). Piny mikroprocesoru jsou v tom okamžiku v režimu vstupu. Průběhy jsou znázorněny na obrázku 3.6.



Obrázek 3.6: Průběh signálů na sběrnici při čtení a zápisu. Signály CLE a ALE jsou využívány pouze flash pamětmi. Převzato z [17].

3.9.1 Řízení Flash paměti

Paměti podle standardu ONFI rozlišují při zápisu mezi daty, příkazy a adresami. Prakticky jde o připojení dalších dvou signálů Address Latch Enable (ALE) a Command Latch Enable (CLE), které mohou být aktivovány během zápisového cyklu, musí však být ve správné úrovni během celého zápisu. Tyto signály podporuje periferie procesoru FSMC tak, že je mapuje na dva piny adresové sběrnice a jsou nastavovány automaticky podle adresy na kterou zapisuje jádro procesoru.

Probíhající časově náročné operace jsou indikovány signálem Busy, který je výstupem z každého paměťového čipu a jeho aktivací jsou pozdrženy veškeré operace FSMC. Posledním signálem je Write Protect (WP) chrání obsah paměti před nechtěným zápisem. Tento signál je řízen běžným GPIO pinem. Bicí modul vyžaduje pouze základní operace s pamětí, tyto operace jsou čtení, mazání a zápis stránky paměti a jsou popsány dále.

Čtení je zahájeno zápisem příkazů 0x00 a 0x30, za kterými následují dva adresové byty určující adresu v rámci stránky a dva adresové byty určující číslo stránky. Paměť je organizována tak, že počet stránek je 65536. Velikost stránky je potom 2 kB a několik nejvýznamnějších bitů z nižších bytů adresy je ignorováno. Protože operace jsou v tomto případě prováděny po celých stránkách, je adresa v rámci stránky vždy nulová a celou paměť lze adresovat šestnáctibitovým číslem.

Po zapsání všech 4 bytů adresy je zahájena interní operace čtení, při které je až na 25 μ s aktivován signál Busy. Po této době je stránka vybavena a může být sekvenčně čtena opakovaným čtením na sběrnici. Protože jsou použity dva paměťové čipy současně, je pod jednou adresou stránky uloženo celkem 2048 16 bitových slov.

Zápis je iniciován příkazem 0x80 a čtyřmi byty určujícími adresu. Poté jsou zapsána data stránky a nakonec je zápis potvrzen příkazem 0x10, který spustí samotnou programovací operaci. Během této operace je opět nastaven signál Busy, typicky na 300 μ s. Po dokončení je možné číst stavový registr příkazem 0x70 a jednou čtecí operací. Nejnižší bit registru je nastaven, pokud se některou buňku nepodařilo naprogramovat do úrovně log. 0.

Mazání je možné pouze po blocích o velikosti 64 stránek, tedy 128 kB. Po příkazu 0x60 je očekávána pouze dvoubytová adresa stránky, jejíž nejnižší bity jsou ignorovány. Mazání je potvrzeno příkazem 0xD0 a trvá běžně 3 ms. Po dokončení operace je opět možné načíst stavový registr, jehož nejnižší bit indikuje, zda některou buňku nebylo možné naprogramovat do log. 1.

3.9.2 Řízení řadiče LCD

Deska LCD obsahuje řadič SSD1963. Na sběrnici je připojen stejnými datovými piny a sdílenými signály RE a WE. Řadič disponuje vlastními signály Chip Select, Reset a Command, rozlišující mezi příkazem a daty. Signály ALE a CLE řadič podle návrhu nevyužívá, i když připojení signálu Command k CLE namísto GPIO pinu by bylo lepším řešením.

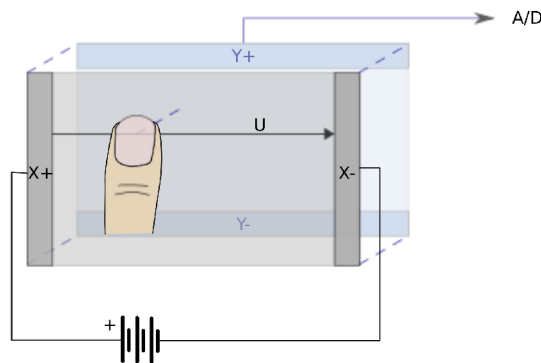
Komunikace probíhá zapsáním příkazu a následně n datovými zápisy. Veškerá řídicí komunikace prochází pouze po nižších 8 bitech kvůli kompatibilitě s různě širokými sběrnici. Inicializační sekvence slouží k nastavení parametrů připojeného LCD panelu a je detailněji popsána v příloze B. Je možné ji implementovat podle vzorového kódu dodávaného s LCD modulem. Jakmile je řadič inicializován, je možné vykreslovat na panel.

Zápis do frame bufferu vždy vyžaduje nastavení obdélníku, do kterého se bude vykreslovat a následné odeslání dat. Součástí řadiče je také PWM generátor řídicí podsvětlení panelu, ovládaný samostatným příkazem.

3.10 Dotykový panel

Primárním ovládacím prvkem bicího modulu je dotyková fólie umístěná na LCD panelu. Fólie je čtyřvodičového typu a je řízena čipem XPT2046, který funguje jako budič a zároveň jako 12 bitový SAR A/D převodník komunikující po SPI.

Princip fungování ilustruje obrázek 3.7. Fólie je složena ze dvou resistivních vrstev vzájemně oddělených pružnými částecemi tak, že se nedotýkají. Na protilehlých stranách každé vrstvy jsou vodivé kontakty, které spojují vždy celou stranu. Protože kontakty nejsou připojeny v jednom bodě, přivedené napětí se na ploše fólie rozloží lineárně v závislosti na jedné souřadnici.



Obrázek 3.7: Princip čtení čtyřvodičového dotykového panelu.

Pokud se uživatel dotkne panelu, způsobí kontakt druhé vrstvy, která se tak připojí na potenciál odpovídající místě dotyku. Tento potenciál lze změřit A/D převodníkem a určit tak první souřadnici dotyku. Celý postup je následně opakován za současného napájení druhé vrstvy a měření napětí na první vrstvě, čímž je zjištěna dodatečná souřadnice.

Řídicí čip nemá vlastní oscilátor a celá jeho funkce je časována SPI hodinovým signálem SCK. Během zápisu příkazového bytu jsou na 3 takty hodin aktivovány budiče a je nabit vzorkovací kondenzátor převodníku. V průběhu dalších dvou bytů je pak výstup aproximačního převodníku odeslán do MCU. Převodník umožňuje volbu jednoho z 8 vstupů, volné kanály je možné použít k měření okolní teploty a dalších veličin, jak je blíže popsáno v katalogovém listu [18].

3.10.1 Měření síly stisku

Pozice změřená během přikládání prstu nebo lehkého dotyku může být zavádějící. Při uvolnění stisku se fólie určitou dobu vrací do původní polohy a může vracet nesprávné hodnoty. Proto je nutné další zpracování naměřených hodnot. Užitečnou schopností je určení síly stisku podle plochy, na které jsou vrstvy spojeny. To se provádí připojením napětí na X- a Y+, přičemž jsou změřeny hodnoty napětí z_1 a z_2 na zbylých dvou kontaktech. Síla dotyku je vypočtena podle vzorce 3.5, kde x značí předem zjištěnou pozici dotyku v ose X. Software může tuto hodnotu využít k ignorování lehkých dotyků a usnadnit další filtraci vstupu.

$$P = konst. \cdot \frac{x}{4096} \left(\frac{z^2}{z^1} - 1 \right) \quad (3.5)$$

3.11 Paměť NOR Flash

Sériová Flash paměť na SPI sběrnici je zamýšlena jako krajní možnost zvýšení výkonu v případě nedostatečného datového toku na hlavní sběrnici. Může však sloužit i jako náhrada EEPROM pro uložení nastavení bicích sad apod. Na rozdíl od paměti typu NAND je možné číst z libovolné adresy s nulovou latencí, navíc bez zpoždění na okrajích stránek či bloků paměti. Čip operuje do frekvence 50 MHz v základním režimu a do 133 MHz v rychlém režimu, dále dovoluje využít až 4 datových pinů současně a podporuje režim DDR [19]. I standardní rychlost násobně překračuje schopnosti MCU, má smysl tedy používat pouze základní operace. Veškeré příkazy musí být uvozeny aktivací signálu Chip Select, za kterým následuje příkazový byte. Operace probíhají následovně:

Čtení je aktivováno příkazem 0x13 a čtyřmi byty adresy, která nemusí být zarovnána. Data jsou odesílána již v následujícím přenosu a čtení pokračuje libovolně dlouho až do deaktivace CS.

Zápis musí předcházet příkaz 0x06 pro povolení modifikace obsahu. Příkaz zápisu 0x12 následují 4 byty adresy a až 256 nebo 512 bytů dat. Zápisová operace je spouštěna uvolněním CS. Pokud místo toho komunikace pokračuje, je zápis zrušen. Stejně jako u NAND paměti jsou programovací operace časově náročné, trvají 340 až 750 μ s. Během této doby lze příkazem 0x05 číst stavový registr, kde je indikováno dokončení a případná chyba zápisu. Čtení stavového registru lze provádět kontinuálně – není třeba opakovat příkaz, postačuje opakovaně číst data.

Mazání je opět možné pouze po blocích, zde o velikosti 256 kB. Příkazu musí předcházet povolení modifikace obsahu paměti 0x06. Příkaz mazání 0xDC následují 4 byty adresy a uvolnění signálu CS. Mazání jednoho bloku je velmi pomalé a trvá 520 až 2600 ms. Informace o dokončení a úspěšnosti operace je opět obsažena ve stavovém registru.

3.12 SD a MMC karty v SPI režimu

Popis inicializace a činnosti karet v režimu SPI obsahuje i zjednodušená specifikace SD karet [20], která je volně dostupná. Návod na připojení karet k mikrokontroléru je též dobře podán v článku [21]. SD i MMC karty se v režimu SPI chovají téměř identicky, lze tedy bez větších úprav podporovat oba typy. Pracovní frekvence je vždy alespoň 20 MHz, napájecí napětí může být v rozsahu 2,7-3,6 V. Díky tomu může periferie procesoru pracovat na maximální frekvenci a není ani třeba řešit podporovaná napájecí napětí. Zapojení vodičů uvádí tabulka 3.3.

3.12.1 Formát příkazů

Příkazy mají pevný formát o délce 6 bytů, viz obrázek 3.8. První byte určuje příkaz a nabývá hodnoty 0x40 + číslo příkazu v rozmezí 0-63. Za ním následuje 4 bytový argument příkazu, např. adresa, a kontrolní součet. Kontrolní součet CRC7 používá polynom $x^7 + x^3 + 1$

Pin	SD režim	Popis	SPI režim	Popis
1	DAT3	Datový bit 3 a Card Detect	CS	Chip Select
2	CMD	Příkaz/Odpověď	DI	Vstupní data – MOSI
3	VSS1	Napájení (zem)	VSS	Napájení (zem)
4	VDD	Napájení	VDD	Napájení
5	CLK	Hodiny	SCLK	Hodiny
6	VSS2	Napájení (zem)	VSS2	Napájení (zem)
7	DAT0	Datový bit 0	DO	Výstupní data – MISO
8	DAT1	Datový bit 1	RSV	Nepoužito
9	DAT2	Datový bit 2	RSV	Nepoužito

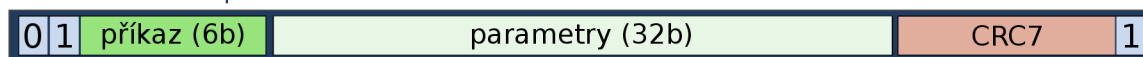
Tabulka 3.3: Zapojení vodičů SD karty v nativním a SPI režimu.

a je bitově posunut vlevo, nejnižší bit kontrolního bytu je pak doplněn jedničkou. Hodnota kontrolního součtu musí být správná pro první inicializační příkaz, který je vyslán jako příkaz v nativním režimu. Tuto jednu hodnotu je možné dále používat v SPI režimu, neboť ten kontrolní součet implicitně nepoužívá.

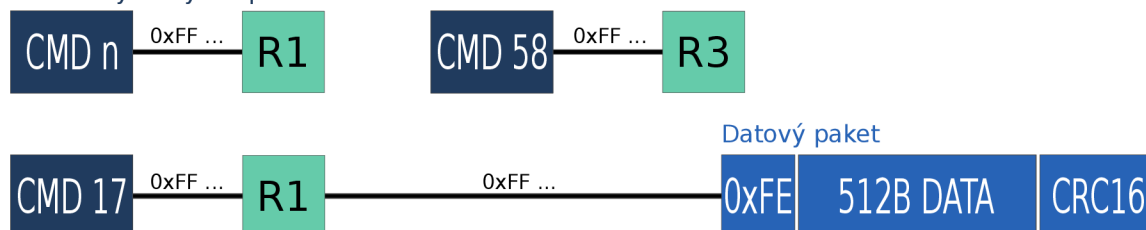
Za každým příkazem může následovat až 8 výplňových bytů s hodnotou $0xFF$, než dojde k příjmu odpovědi. V závislosti na použitém příkazu je očekáván jiný typ odpovědi, většina příkazů generuje odpovědi typu R1, které mají podobu sedmibitové chybové masky. Některé příkazy vracejí další typy odpovědí, např. operační registr OCR čtený příkazem 58 generuje odpověď typu R3 složenou z klasické R1 a následované 4 datovými byty.

Zmíněný článek [21] varuje před možnými kolizemi na sdílené SPI sběrnici, neboť karty údajně uvolňují sběrnici synchronně, podle typu karty je tak po deaktivaci CS potřeba odeslat 1 až 8 cyklů hodin.

Obecná struktura příkazu



Průběh vybraných operací



Obrázek 3.8: Struktura příkazu a průběh některých operací v SPI režimu.

3.12.2 Inicializace

Inicializace je prováděna rychlostí 100 až 400 kHz a může začít 1 ms po připojení napájení. Nejprve je nutné aplikovat nejméně 74 hodinových pulzů se signálem CS v neaktivní úrovni. Poté je příkazem 0 přepnut režim karty do SPI módu a je spuštěna inicializace karty pomocí příkazu 1. Ten je aplikován opakovaně, dokud není vynulován tzv. Idle bit v odpovědi R1. Podle článku [21] to může trvat až stovky milisekund.

Stav inicializace je také odrážen v OCR registru vráceném příkazem 58, kde je rovněž indikována přítomnost SDHC karty. Pokud je bit 30 nastaven, jde o vysokokapacitní kartu a adresování je prováděno v jednotkách 512 bajtů. U obyčejných karet, je vhodné příkazem 16 nastavit velikost bloku dat na 512 bajtů, implicitní hodnota se totiž může lišit.

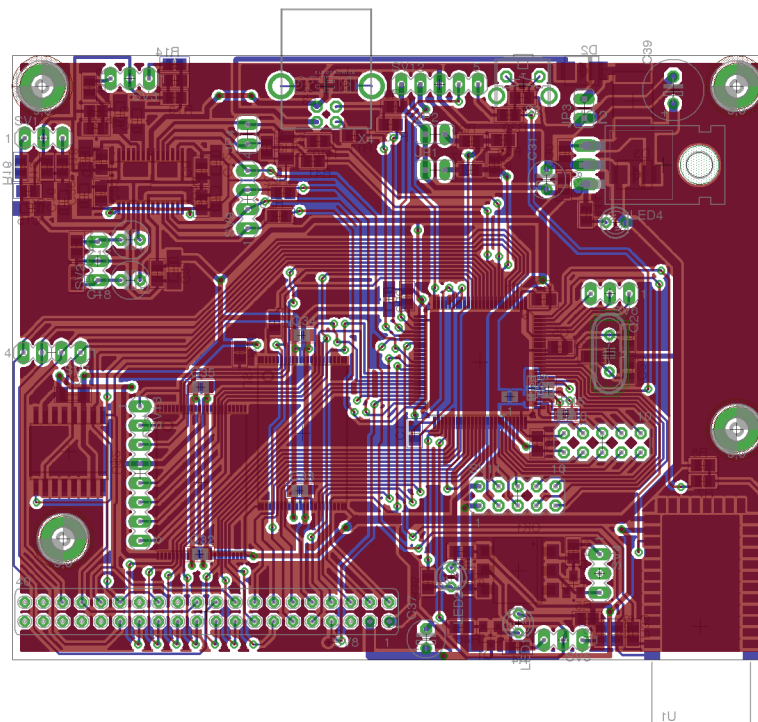
3.12.3 Čtení bloku

Čtení bloku dat spouští příkaz 17, který je následován standardní R1 odpovědí a výplní hodnotami 0xFF. Jakmile jsou data připravena, karta odešle byte 0xFE, 512 bajtů dat a dva bajty kontrolního součtu. Ten je typu CRC16 a používá polynom $x^{16} + x^{12} + x^5 + 1$. Během čtení dat by měl mikroprocesor odesílat bajty 0xFF.

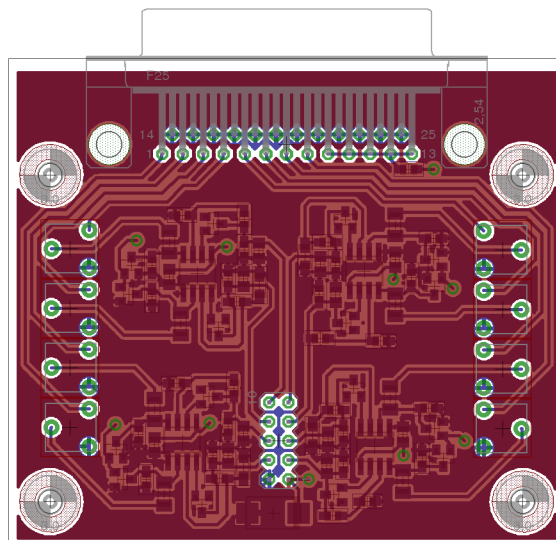
3.13 Plošný spoj zařízení

Na základě této kapitoly byla v programu EAGLE PCB Design Software navržena hlavní deska plošných spojů. Deska je ilustrována obrázkem 3.9, je také přiložena na doprovodném CD. Bylo použito dvouvrstvé desky, svrchní vrstva slouží převážně pro propojky a překročení datových sběrnic. Součástky byly voleny s ohledem na ruční pájení.

Osvědčené zapojení analogových vstupů z prototypu bylo použito při návrhu analogové desky, viz obrázek 3.10. Jedna deska obsahuje konektor DB25 a předzesilovače pro 8 vstupů, bude proto vyrobena ve dvou kusech.



Obrázek 3.9: Deska plošných spojů navrženého zařízení.



Obrázek 3.10: Deska analogových zesilovačů.

3.14 Shrnutí

Hardwarový návrh řídicí jednotky počítá s 16 analogovými vstupy, linkovým a sluchávkovým audio výstupem, jedním vstupem pro hudební doprovod a CD kvalitou použitých vzorků. Zvukový generátor by měl mít polyfonii minimálně 16 současně znějících zvuků, volba pamětí by měla umožnit až 48. Vzorky budou uloženy ve dvojici současně řízených 8 bitových NAND Flash s celkovou kapacitou 2 Gbit. Nástroj je dále vybaven standardním rozhraním MIDI a dotykovým grafickým displejem. Pro aktualizaci zvukových vzorků je připojen slot pro paměťové karty. Navržené desky plošných spojů jsou dvouvrstvé, volbou součástek je umožněno ruční pájení.

Kapitola 4

Návrh firmwaru

Tato kapitola se zabývá firmwarem pro navržené zařízení, především popisuje algoritmy pro generování zvuku, způsob uložení dat v interních pamětech a přístup do souborových systémů paměťových karet. Dále rozebírá vzájemné časování všech operací a další detaily jako ukládání uživatelských nastavení a kalibraci dotykového panelu pro grafické uživatelské rozhraní.

4.1 Algoritmus mixování zvuku

I²S periferie mikroprocesoru umožňuje spolupracovat s DMA řadičem, který ji může zásobovat zvukovými vzorky. Přenos lze také nastavit v cyklickém režimu, takže je po dokončení automaticky restartován od začátku. Pokud je procesor schopen data v paměti průběžně aktualizovat, je možné dosáhnout plynulého přehrávání zvuku. Čím větší je zvolený blok paměti, tím déle může přenos běžet bez zásahu, avšak zbytečně vysoká hodnota plýtvá dostupným prostorem v SRAM.

První možností mixování zvuku je algoritmus použitý v kapitole 3.3.1 pro odhad výkonosti NAND Flash paměti, který uvažoval práci s bloky o velikosti $s_{blk} = 512$ bytů a jejich uchování v SRAM. Mixování výstupních vzorků je možné provádět např. po $n = 44$ vzorcích průchodem přes všech m aktuálně hrajících zvuků, vynásobením vzorků odpovídajícími hlasitostmi, sečtením a uložením do výstupní paměti. Velikost n je volena tak, aby latence přehrávání pro nově detekované úderky nebyla příliš vysoká, neboť nový blok je vypočten každých $n/f_s \doteq 1$ ms. Zpracování množství dat po takto malých částech však není velmi efektivní.

Největší efektivitu čtení Flash paměti by bylo dosaženo, pokud by byla stránka po vybavení celá zpracována a nebylo nutné ji posléze vybavovat znovu kvůli načtení její další části. Celá stránka při současném použití dvou pamětí obsahuje $s_{page} = 2048$ 16 bitových vzorků. Při rozdělení do dvou kanálů by byl čas přehrávání jedné stránky podle vzorce 4.1.

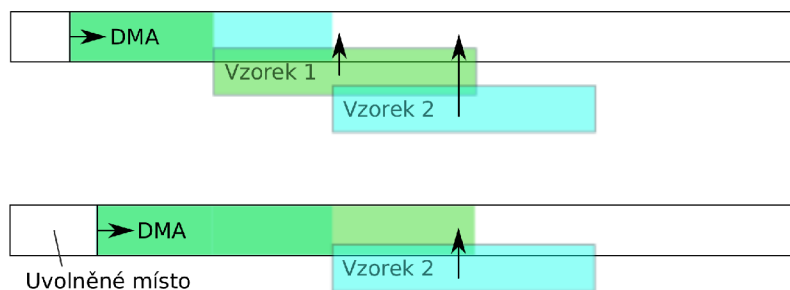
$$T_{play} = \frac{2 \cdot s_{page}}{f_s \cdot b_{sample}} = \frac{2 \cdot 2048}{4 \cdot 44118} s \doteq 23 ms \quad (4.1)$$

Velikost výstupního bloku paměti by tak musela obsáhnout alespoň dvě stránky, pokud by první část měla být nerušeně modifikována, zatímco druhá polovina by byla čtena DMA řadičem. To vyžaduje nejméně 8 kB SRAM. Při této velikosti bloku ale není reálné držet v paměti připravené vzorky pro všech m přehrávaných zvuků, navíc pokud by všechny zvuky hrály zarovnané po blocích, byla by maximální možná latence nepřijatelná. Nutností je tedy lepší algoritmus sestavování zvukového výstupu.

4.1.1 Skládání vzorků po stránkách

Výstupní datový proud nemusí být nutně vypočítáván postupně, vzorek po vzorku. Produkováný výstup je možné považovat za součet m proudů dat, které jsou samy o sobě pouze násobeny jejich aktuální hlasitostí, která je pro celou dobu jejich přehrávání konstantní. U jednotlivých proudů navíc nezáleží na pořadí, v jakém jsou jejich dílčí části sčítány. Přitom nevadí, pokud jsou proudy navíc vzájemně posunuty o vzdálenost menší než je velikost bloku.

Postup je demonstrován obrázkem 4.1 na míchání $m = 2$ proudů dat. V situaci nahoře obsahuje výstupní paměť zelenomodře označená výstupní data, která čte DMA řadič v místě označeném šipkou. Tato data jsou již připravena až do místa, kde končí naposledy přičtený zelený blok, a pokračuje již jen samotný naposledy přičtený modrý blok. Skládání bude pokračovat přičtením dalšího bloku zeleného proudu, označeného jako *Vzorek 1*, výsledná situace je ilustrována na obrázku dole. Čas strávený touto operací se projeví bílým místem nalevo, které bylo mezitím odesláno na výstup a může být znovu použito.



Obrázek 4.1: Princip mixování přehrávaných zvuků postupným překrýváním vzorků.

V každém okamžiku platí, že blok, který musí být zpracováván jako další je ten, k jehož cílovému místu v paměti se nejvíce blíží postupující DMA přenos. Práce na skládání jednotlivých toků může být postupně střídána principem Round-robin, pokud jsou toky jednou seřazeny za sebou podle tohoto kritéria. Procesor pak bude stíhat, neboť ve chvíli dokončení přičítání bloku nějakého toku t má přibližně 23 ms na to, aby zpracoval všechny ostatní toky, než bude potřeba zpracovat další blok toku t .

Díky tomu, že toky nemusí být zarovnané na velikost bloků je možné nové zvuky naplánovat do již přichystané paměti před aktuální pozici DMA přenosu, za předpokladu, že je jejich umístění dává algoritmu před odchozím přenosem dostatečný náskok. Jednou připravený obsah paměti se tak může znovu ocitnout v rozpracovaném stavu. Výhodou je také to, že v paměti je nutné držet jen aktuálně zpracováváný blok dat.

Pozornost je nutné věnovat paměti, která se nachází těsně za proběhlým DMA přenosem, neboť je nutné ji vynulovat před tím, než jsou v ní skládána nová data. Operace přičítání bloku také musí vždy kontrolovat, zda na své cílové adrese bude mít k dispozici volnou paměť. K čekání dochází, když celá výstupní paměť již obsahuje připravená data, tedy procesor stíhá mixovat a je rychlejší než odesílání dat. Maximální polyfonie p je potom odhadnuta podle vzorce 4.2, kde T_{block} je doba zpracování jednoho bloku včetně čtení z externí paměti.

$$p = \frac{T_{play}}{T_{block}} \quad (4.2)$$

4.1.2 Optimalizace

Zpracování bloku je časově náročná operace. Chybou první fáze návrhu zařízení je zanedbání této skutečnosti, je proto nutné výpočet optimalizovat, aby nedošlo ke snížení maximální polyfonie zvukového generátoru. Součástí výpočtu je čtení rozpracovaných dat z výstupního bufferu, čtení dat získaného bloku z Flash paměti, zesílení vzorků, jejich přičtení k mezivýsledkům a zpětný zápis do výstupního bufferu.

Jak bylo řečeno, zesílení bloku spočívá v násobení konstantou, neboť hlasitost zvuku se během přehrávání nemění. Hodnota hlasitosti tak může být uložena v jednom z registrů procesoru a násobena ve chvíli, kdy vzorek dat prochází registrem procesoru.

Přehlíženou operací je ořezávání, tzv. clipping, hodnot přesahujících maximální výchylku výstupních 16 bitových vzorků. K tomuto jevu by ideálně nemělo docházet vůbec, avšak omezení zesílení na takovou hodnotu, kdy k přebuzení nemůže nikdy nastat, by vyústilo ve velmi slabý zvukový výstup. Pokud by naopak přesahující hodnota byla ponechána bez ořezu, výchylka by se „zalomila“ do opačného extrému a působila ostré syčivé zvuky.

Elegantním řešením je použití saturačních instrukcí, kterými disponuje jádro procesoru. Instrukce **SSAT** provádí saturaci čísla se znaménkem na udaný počet bitů. V jazyce C, ve kterém je MCU programován neexistuje konstrukce pro tento typ operace, a je tak nutné použít tzv. intrinsic funkci překladače, která zajistí požadované chování. Samotný výpočet tedy probíhá na 32 bitech, teprve poté je provedena saturace. S tímto souvisí další nutná operace – znaménkové rozšíření operandů. Obě zpracovávané hodnoty mají přesnost 16 bitů, jsou tak uloženy v pamětech i očekávány periferiemi.

Použití cyklu při výpočtu je rovněž nevhodné kvůli častému testování konce cyklu, navíc indexy do cílové audio paměti musí být korektně zalamovány po každé inkrementaci, neboť blok může být v cílové paměti libovolně posunut. Při použití cyklu tak musí být každá změna indexu kontrolována. Jedním vylepšením je použití binární operace **and** při inkrementaci čítače, velikost cílové audio paměti je totiž mocnina čísla 2. Proto lze index i inkrementovat příkazem $i = (i + 1) \& 0xFFF;$, neboť přesahující čísla jsou zalomena zpět na začátek bloku paměti.

Dalším zrychlením může být rozbalení cyklu, jak popisuje [22]. Pokud budou bloky alespoň částečně zarovnané, nebude nutné tolikrát inkrementovat a zalomit čítač ani testovat konec cyklu. Tím dojde k zavedení latence pro nové zvuky, které kvůli tomu nebudou moci začínat v libovolné okamžiky. Nutná velikost zarovnání může být určena maximální zavedenou latencí, např. 1 ms.

4.1.3 Experimentální určení výkonnosti

Experimentálně naměřené hodnoty v tabulce 4.1 odpovídají samotné operaci mixování jednoho bloku dat, jehož data již byla předtím načtena v SRAM. Není tedy uvažován čas získání bloku dat ani ostatní nezbytné činnosti procesoru. V reálném provozu mohou být data předpřipravena DMA řadičem bez výrazné účasti procesoru, zjištěná data se tedy mohou blížit skutečnému výkonu.

Způsob rozbalení cyklu	Mixování bloku	Zavedená latence	Omezení polyfonie
8 operací / cyklus	424 μ s	91 μ s	$p < 54$
32 operací / cyklus	356 μ s	363 μ s	$p < 65$
64 operací / cyklus	355 μ s	725 μ s	$p < 65$

Tabulka 4.1: Experimentálně určená výkonnost mixování, bez uvažování času získání dat.

4.2 Datové přenosy

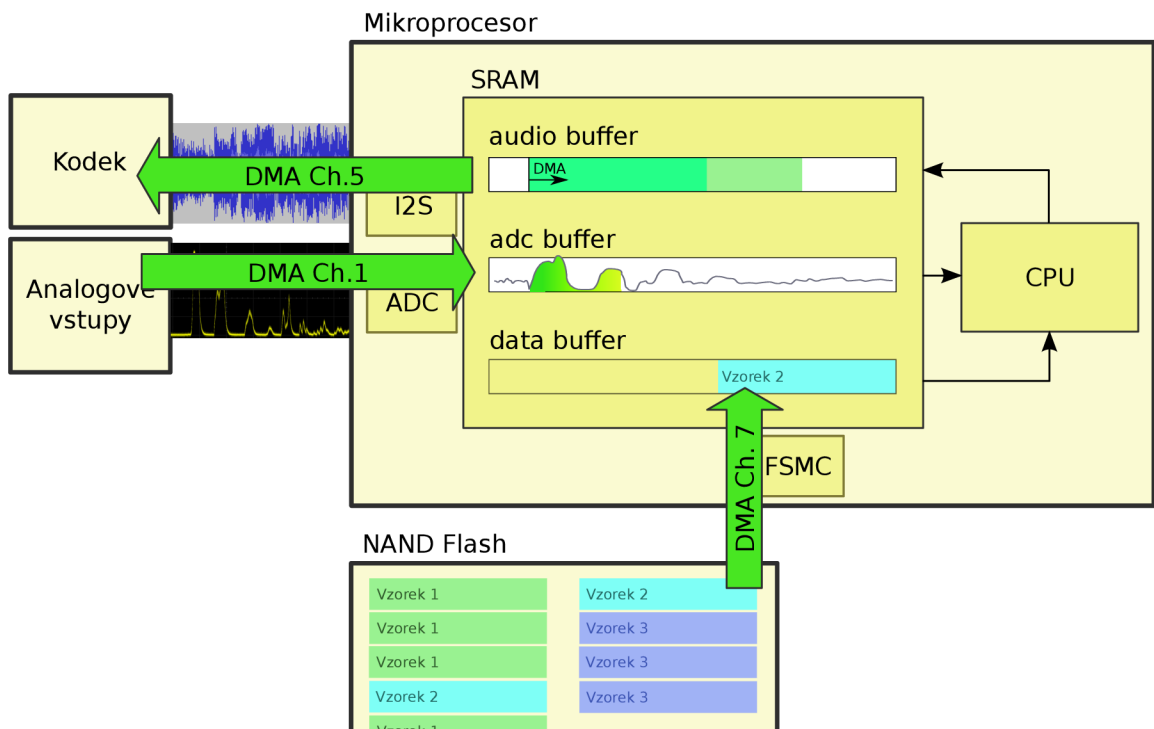
Schéma klíčových datových toků uvnitř zařízení popisuje obrázek 4.2. Všechny přenosy musí probíhat současně, jinak by došlo k poruchám zvuku nebo ztrátě úderů na snímačích. Tři zelené šipky představují DMA přenosy probíhající bez účasti jádra procesoru.

Přenos zvuku mezi procesorem a audio kodekem zajišťuje I²S periferie pomocí DMA kanálu č. 5. Datový tok dosahuje 1,4 MBit/s, a jak bylo již zmíněno, velikost audio paměti je 4096 vzorků, tedy 8 kB.

Analogové vstupy vzorkuje zabudovaný A/D převodník na volitelné frekvenci a je ukládán do paměti DMA kanálem č. 1. Datový tok je nejvýše 13,7 Mbit/s, velikost cílové paměti je volitelná podle frekvence, nepřesahuje však 1024 hodnot, tj. 2 kB.

Načítání vzorků pro mixování z NAND Flash pomocí periferie FSMC a memory-to-memory transferu na DMA kanálu č. 7. Datový tok je teoreticky odhadován až na 143 Mbit/s, cílová paměť má velikost stránky paměti + její spare části, celkem 2048 + 64 slov, 4224 B.

Generování zvuku pomocí procesoru, jak bylo popsáno na začátku kapitoly, které využívá všech předchozích toků. Zpracování dat z A/D převodníku bude popsáno v kapitole 4.3. Informace, které algoritmus z toku získává je seznam aktuálně přehrávaných zvuků.



Obrázek 4.2: Schéma datových přenosů během činnosti bicího modulu.

4.3 Zpracování analogových vstupů

Detekce úderů na vstupech a určení hlasitosti zvuků probíhá osvědčeným algoritmem popsaným v kapitole 2.4.7. Množství zpracovávaných dat závisí na nastavení taktování A/D převodníku a délce vzorkování každého vstupu. Vzorkovací frekvence při maximálním taktu procesoru jsou vypočteny v tabulce 4.2. Je uvedena celková $f_{sampling}$ i $f_{channel}$ pro každý kanál. Poslední sloupec udává maximální čas mezi dvěma zpracováními, aniž by došlo k přetečení vstupní paměti a ztrátě dat. Nejvýhodnější je však zpracovávat data co nejčastěji, aby nedošlo ke zvýšení latence nově spouštěných zvuků.

Čas vzorkování (cyc.)	$f_{sampling}$ (celkem)	$f_{channel}$ (1 kanál)	Perioda zpracování
1,5	857 kHz	53,6 kHz	1,19 ms
7,5	600 kHz	37,5 kHz	1,71 ms
13,5	462 kHz	28,8 kHz	2,22 ms
28,5	293 kHz	18,3 kHz	3,50 ms
41,5	222 kHz	13,9 kHz	4,60 ms
55,5	176 kHz	11,0 kHz	5,80 ms
71,5	143 kHz	8,9 kHz	7,17 ms
239,5	48 kHz	2,9 kHz	21,50 ms
Prototyp	$f_{sampling}$ $\approx 22,7$ kHz	$f_{channel}$ $\approx 2,8$ kHz	Perioda zpracování 0,3 ms

Tabulka 4.2: Závislost délky vzorkování na výkonnosti A/D převodníku.

Každý kanál může pracovat v jednom z následujících režimů. Většinou se jedná o chování po detekci a změření síly úderu, někdy jsou naopak použity všechna vstupní data bez rozdílu.

Standardní režim kanálu převádí změřenou hlasitost přímo na hlasitost jednoho definovaného výstupního vzorku. Tento režim je určen pro běžné použití, kdy není k dispozici velký výběr zvuků.

Náhodný režim má definováno více různých provedení téhož zvuku, ze kterých vybírá jeden náhodně. Cílem toho je, aby posluchač nebyl zaplavován jedním identickým a často opakovaným vzorkem. To má smysl převážně u virblu, nebo u činelů.

Stupňovaný režim přehrává jeden z několika zvuků, který volí podle změřené hlasitosti. To simuluje chování reálných nástrojů, které mění barvu zvuku podle síly úderu. Tímto způsobem by mělo být možné ještě lépe napodobit zvuk reálných bicích.

Capture režim zapisuje data do paměti a umožňuje jejich následné vykreslení na LCD, aby bylo možné správně nastavit parametry vstupního kanálu. Zachytávání je opět spuštěno překročením prahu, bez definice prahu tak lze zachytit vzorek šumu, po jeho odstranění potom průběh jednoho úderu.

Kalibrace upravuje práh kanálu podle šumu na vstupu. Během měření je nutné nesahat na pad kalibrovaného vstupu, avšak je vhodné cvičně udeřit do okolních padů, neboť vibrace

přenášené bicí soupravou mají na průběhu signálu výrazný nežádoucí podíl. Po proběhnutí kalibrace je výsledná hodnota prahu nastavena na 1,5 násobek maximální hodnoty.

4.4 Formát uložených dat

Zařízení potřebuje ukládat několik typů dat. Nejdůležitější jsou samotné zvukové vzorky, jež musí být uloženy tak, aby jejich čtení bylo co nejrychlejší a nevyžadovalo dodatečné zpracování. Doba přístupu musí být vždy stejná nezávisle na umístění a opotřebení paměti.

4.4.1 Uložení zvuků v NAND Flash

Jak již bylo popsáno, paměť je organizována do stránek o velikosti 2048 bytů. Ke každé stránce je navíc k dispozici dalších 64 bytů v tzv. spare oblasti, která má sloužit k uplatnění opravného kódu pro případ chybných buněk. Protože kontrolu ani opravu chyb nelze provést bez dopadu na výkon, je počítáno s případným vyřazením celé stránky. Spare část je tak celá využita k uložení metadat. Díky organizaci sběrnice a použití dvou paměťových čipů je k dispozici 64 slov s šíří 16 bitů.

Každá stránka obsahuje v pomocné části sekvenční číslo bloku v rámci zvuku, které začíná od nuly a je inkrementováno v každém následujícím bloku, a adresu stránky následujícího bloku. Adresa je uložena v jednom 16 bitovém slově, neboť celkový počet stránek v NAND Flash je 65536. Zbytek pomocné paměti obsahuje název zvuku, maximálně 62 znaků. Zbylé místo není využito a je ponecháno v hodnotě 0xFF.

Po načtení stránky mixovacím algoritmem je tak ihned známa adresa další čtené stránky, nebo indikován konec zvuku hodnotou 0xFFFF. Známé vadné stránky mohou být přeskočeny při zápisu. Aby se snížil celkový počet zápisů, není v pamětech udržován adresář. Ten je možné získat načtením spare částí všech stránek a vyhledáním bloků s nulovým sekvenčním číslem. Tato operace trvá přibližně 3 s, avšak není ji třeba provádět při startu, ani pro algoritmus mixování, jelikož nastavení kanálů uchovává přímo počáteční adresy vzorků. Operace budování adresáře probíhá pouze při prvním vstupu do výběru vzorků v GUI.

4.4.2 Uložení dat v NOR Flash

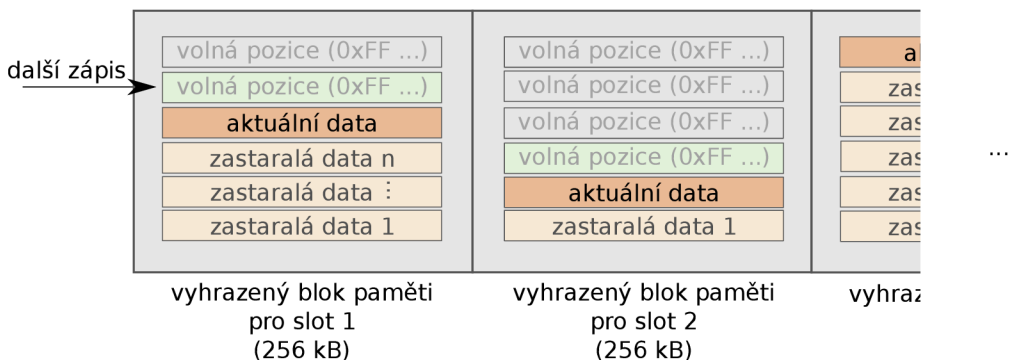
Dalším typem ukládaných dat jsou nastavení bicích sad. Ty se ukládají do několika pozic (slotů) a jsou často přepisovány. Jejich velikost je však nepatrná, dohromady několik kB. Posledními daty jsou bitové mapy pro GUI – grafický font a obrázky použité v menu. Ty jsou sice v podstatě neměnné a relativně malé ve srovnání s pamětí pro vzorky, avšak stále příliš velké na uložení do interní flash paměti procesoru. Všechna tato data jsou umístěna v sériové NOR Flash paměti.

Nastavení bicích sad

Typická životnost bloku použité paměti je 10^5 cyklů podle katalogového listu [19]. Pokud bude jedna sada nastavení zabírat 4 kB, bude naprostá většina paměti nevyužita a jeden blok bude rychle degradovat. Při přepisu nastavení by navíc bylo nutné vymazat celý 256 kB blok. Bylo by nutné načíst okolní data do nějaké mezipaměti, a modifikovaná je následně uložit.

Způsobem jak se vyhnout nutnosti čtení při modifikaci a zároveň prodloužit životnost paměti je vyhrazení celého bloku pro každou sadu nastavení, a postupné připisování nových údajů v rámci přiděleného bloku. Postup ilustruje obrázek 4.3. Stav paměti po

smazání je 0xFF v každém bytu, programováním se potom dále mění. Při každém zápisu nastavení je nejprve vyhledán 4 kB úsek, který ještě nebyl zapsán. Do něj jsou uložena data. Pokud je potřeba data přepsat, je opět vyhledán volný 4 kB úsek, který následuje předchozímu, a jsou do něj zapsána aktuálnější data. Při čtení je nutné vyhledat čistý blok, jemuž předcházejí nejaktuálnější data.



Obrázek 4.3: Uložení nastavení sad ve vyhrazených blocích s postupnou aktualizací.

Počet přepisů je tak redukován $256/4 = 64$ krát, neboť k mazání paměti musí dojít až při zaplnění celého bloku a samotná aktualizace dat je z hlediska opotřebení nerozlišitelná od jednoho postupného programování paměti. Tento přístup naopak snižuje rychlost čtecí operace, která je však zanedbatelná, protože se týká uživatelského rozhraní. Pokud navíc nastavení nezabírají celé 4 kB, lze posledním bytem indikovat zaplněnost datového úseku a operace hledání se tak podstatně zrychlí. Díky odstranění nutnosti mazat blok při každém zápisu může být zápis paradoxně urychlen.

Grafické prvky

Zbytek paměti je využit pro uložení bitových map. Písmata jsou v surovém 1 bitovém formátu, bez zarovnání na řádku a jsou při startu nebo přepnutí písma uchována v SRAM. Obrázky jsou uloženy rovněž v surovém formátu, formát pixelu je RGB 565 shodně s nastavením radiče.

4.5 Systém souborů FAT

Paměťové karty typicky používají souborový systém FAT v různých variantách v závislosti na jejich kapacitě. Podpora běžných karet bez speciálního formátování je zamýšlena pro možnost nahrávání nových zvuků do interní paměti bicího modulu. Je proto vhodné podporovat co nejširší okruh variant.

Varianta FAT12 dovede obsáhnout karty pouze do velikosti 16 MB. Pro větší karty je používán FAT16, který postačuje pouze do velikosti 32 MB, nad tuto hranici se používá varianta FAT16B, která vyhovuje až do velikosti 2 GB. Karty do 32 GB poté používají FAT32. Cílem této podkapitoly je popsat všechny tyto varianty a navrhnout firmware umožňující podporu všech těchto formátů. Podrobnější informace lze najít v [23].

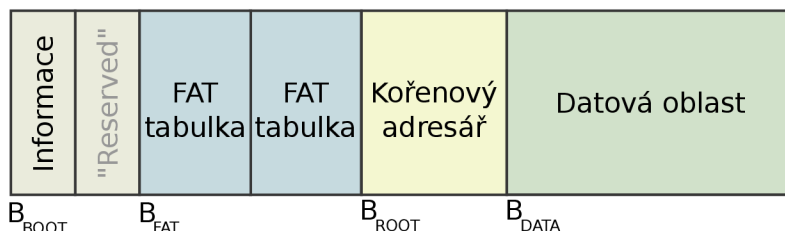
Tabulka rozdělení disku Prvním krokem je načtení MBR tabulky, tzv. Master Boot Record, která určuje rozdělení disku na oddíly, jejich typ a umístění v rámci paměťové karty. Tato tabulka se nachází v prvním sektoru karty a obsahuje 4 záznamy, každý pro jeden souborový systém. Záznamy začínají na pozici 0x1BE a mají velikost 16 bytů. V rámci záznamu je na pozici 0x4 umístěn jednobytový kód značící typ souborového systému podle tabulky 4.3, pozice 0x8 obsahuje 32 bitovou lineární adresu začátku souborového systému.

Kód	Název
0x01	FAT12
0x04	FAT16
0x06	FAT16B
0x0B	FAT32
0x0C	FAT32

Tabulka 4.3: Podporované typy souborových systémů.

4.5.1 Obecná struktura

Souborový systém lze obecně rozdělit na 4 hlavní části. První část obsahuje informace o velikosti clusteru, pozici ostatních částí, počtu FAT tabulek apod. Může také obsahovat další vyhrazené sektory. Druhá část obsahuje FAT tabulku v několika kopiích, která určuje posloupnosti clusterů při čtení souboru a je podrobněji popsána níže. Třetí část obsahuje kořenový adresář, pokud nejde o FAT32, a poslední, největší část, obsahuje samotná data. Pro snazší orientaci jsou definovány 4 blokové adresy podle obrázku 4.4.



Obrázek 4.4: Zjednodušená struktura FAT systému.

Jednotky

Při operacích s adresami je třeba důsledně rozlišovat blokovou adresu, tj. adresu sektoru, která navíc může být fyzická nebo logická, od clusterů. Fyzická adresa sektoru odpovídá po vynásobení velikostí sektoru (512 bytů) adrese zasílané SD kartě, sektor č. 0 tedy odpovídá MBR tabulce. Logická adresa značí číslo sektoru v rámci jednoho souborového systému. Tyto dvě adresy jsou tedy mezi sebou posunuty o B_{BOOT} .

Několik sektorů spojených dohromady tvoří cluster. Tento počet je proměnný kvůli lepšímu škálování a nabývá hodnot od 1 do 128. Jde o nejmenší datovou jednotku pro uložení souboru, tzn. že i nejmenší soubor bude zabírat jeden cluster na kartě. Soubory a složky jsou v adresářích vždy adresovány pomocí clusterů. „První“ cluster má pořadové číslo 2 a začíná na adrese shodné s B_{DATA} .

4.5.2 Informační část

Informační sekce v prvním sektoru obsahuje, kromě kódu zavaděče, důležité parametry systému, především velikost clusteru, počet vyhrazených sektorů v informační části, počet FAT tabulek, velikost FAT tabulky, maximální počet položek v kořenovém adresáři a v případě FAT32 číslo clusteru obsahujícího kořenový adresář. Podle těchto informací lze vypočítat počátky ostatních částí souborového systému.

4.5.3 FAT

FAT tabulka je od začátku souborového systému vzdálena o počet sektorů udaný v informační části. Tabulka existuje většinou ve dvou kopiích, avšak tento počet může být libovolný větší jedné. Účelem tabulky je navázat soubory uložené ve více clusterech. Pokud je známo, že nějaký soubor začíná v clusteru n a soubor pokračuje dále, číslo následujícího clusteru je uloženo ve FAT tabulce na pozici n . Pokud ne, obsahuje položka tabulky speciální hodnotu značící konec řetězce. Další speciální hodnoty jsou vyhrazeny pro prázdné místo a poškozené clustery. První dvě položky FAT tabulky ukládají dodatečné hodnoty, proto datová oblast začíná clusterem číslo 2.

Velikost záznamů FAT tabulky musí být taková, aby bylo možné procházet všechny clustery. Zároveň není vhodné plýtvat místem na kartě. Proto různé varianty používají různý počet bitů pro uložení těchto „ukazatelů“. FAT12 je specifický v tom, že jednotlivé položky jsou ukládány prokládaně a mohou tak být umístěny na rozhraní sektoru. Pro jejich získání je navíc nutné provádět bitové operace s daty.

4.5.4 Kořenový adresář

Kořenový adresář je obsažen pouze v systémech FAT12 až FAT16B. Začíná na pozici B_{ROOT} , která následuje ihned za FAT tabulkami, jejichž počet i velikost jsou přesně udány v informační části. Kořenový adresář je sekvence běžných adresářových položek, jak bude popsáno dále, avšak jeho velikost je pevně daná maximálním počtem. Na základě velikosti adresářové položky 32 B a maximálního počtu položek v kořenovém adresáři lze vypočítat začátek datové části B_{DATA} .

Souborový systém FAT32 odstraňuje omezení velikosti kořenového adresáře tak, že jej definuje jako běžný adresář, takže vyhrazené místo má nulovou velikost a $B_{ROOT} = B_{DATA}$. V informační sekci je namísto toho udáváno číslo clusteru, kde se kořenový adresář nachází, obvykle na začátku datové oblasti v clusteru 2.

4.5.5 Struktura adresáře

Adresář je soubor složený z adresářových položek o velikosti 32 B. Funkcí položky je přiřadit název souboru k jeho atributům, přesné velikosti v bytech a čísla clusteru ve kterém začíná. Tabulka 4.4 popisuje podrobnosti.

Adresář nemá na rozdíl od souboru definovanou velikost, jeho konec tak indikuje nulová položka. Pokud nejde o kořenový adresář, jsou vždy přítomny dvě adresářové položky, a to odkaz na aktuální adresář (.) a odkaz na rodičovský adresář (..).

4.5.6 Dlouhé názvy souborů

Standardní název souboru má délku omezenou na 8 znaků a 3 znaky přípony. Toto omezení je odstraněno trikem. Pokud soubor či adresář obsahuje dlouhé jméno, tzv. Long File Name,

Pozice	Popis
0x00	Název souboru, 8 znaků
0x08	Přípona, 3 znaky
0x0B	Atributy souboru, bitové pole je popsáno v [23]
0x0E	Čas vytvoření souboru
0x10	Datum vytvoření souboru
0x14	Horních 16 bitů čísla clusteru ve kterém začíná soubor (pouze FAT32)
0x16	Čas poslední modifikace
0x18	Datum poslední modifikace
0x1A	Spodních 16 bitů čísla clusteru ve kterém začíná soubor
0x1C	Velikost souboru, 32 bitová hodnota

Tabulka 4.4: Struktura adresářové položky.

předchází jeho adresářové položce několik falešných adresářových položek, které obsahují části tohoto jména.

Falešné položky mají nastavené souborové atributy tak, aby je původní software ignoroval a kromě identifikace začátku jména a pořadového čísla položky každá obsahuje 13 znaků v mezinárodním kódování UCS-2. Znaky jsou různorodě rozmístěny v rámci původní datové struktury, přesnější popis lze nalézt v [23].

4.5.7 Jednotný přístup k adresářům

Kořenový adresář je ostatními odkazován jako cluster 0, neboť takový neexistuje. Aby bylo možné přistupovat ke všem adresářům jednotně, obsahuje algoritmus čtení adresářové struktury výjimku právě pro případ, kdy se čtený soubor nachází v clusteru 0. Pro systém FAT32 je toto číslo nahrazeno za cluster kořenového adresáře, tak jak je udáván v informačním bloku. Pro ostatní systémy je vypočítáno umělé číslo clusteru tak, aby jeho začátek souhlasil s B_{ROOT} .

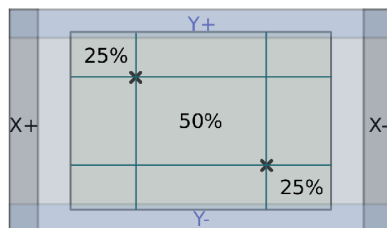
4.6 Uživatelské rozhraní

V rámci jednoduchosti je grafické rozhraní tvořeno minimálním počtem obrazovek a ovládacích prvků s možností budoucího rozšíření pro vyšší komfort uživatele. Základní operace tvoří funkce kreslicí orámovaný obdélník a funkce vypisující text s možností nezávislého zvětšování v obou osách.

4.6.1 Kalibrace dotykového panelu

Řadič dotykové fólie poskytuje pozici a sílu dotyku na základě výpočtu z kapitoly 3.10. Zjištěné souřadnice v rozsahu 0-4095 v obou osách je však nutno namapovat na odpovídající body LCD panelu. Kalibrace může být lineární, pomocí zjištění hodnot v 1/4 a ve 3/4 displeje, viz obrázek 4.5.

Jak je naznačeno na obrázku, rozdíl souřadnic bodů určuje počet úrovní mezi pixelem $[c_{1X}, c_{1Y}]$ a $[c_{2X}, c_{2Y}]$. Podle vzorce 4.3, kde x a y jsou změřené hodnoty a w resp. h šířka resp. výška displeje, je možné vypočítat souřadnici $[X, Y]$, které se dotýká uživatel. Hodnoty mimo rozsah mohou být bezpečně ignorovány, šum lze dále potlačit pomocí výpočtu síly



Obrázek 4.5: Kalibrační body dotykového panelu.

dotyku v kombinaci s průměrováním. Další možností je ukládání předchozí pozice dotyku a ignorování nových, příliš vzdálených souřadnic.

$$X = \frac{w}{4} + \frac{w \cdot (x - c_{1X})}{2 \cdot (c_{2X} - c_{1X})}, \quad Y = \frac{h}{4} + \frac{h \cdot (y - c_{1Y})}{2 \cdot (c_{2Y} - c_{1Y})} \quad (4.3)$$

4.7 Shrnutí

Algoritmus mixování zvuků pracuje po blocích o velikosti jedné stránky NAND Flash paměti. Jeden krok algoritmu provádí přičtení správně zesílené části zvuku na určené místo v audio paměti, kde se mohou nacházet data v libovolné fázi rozpracovanosti. Bloky dat mohou být vzájemně posunuty, jsou však alespoň minimálně zarovnané kvůli optimalizaci výkonu. To zavádí malou latenci pro nové úderů. Během činnosti procesoru probíhá několik datových přesunů na pozadí pomocí DMA řadiče – čtení Flash paměti, A/D převod a zvukový výstup.

Zvuková data jsou uložena ve Flash paměti po 4kB stránkách tvořících jednosměrně vázaný seznam. Adresa následující stránky je ukládána ve Spare části stránky. Do paměti pro uložení nastavení bicích sad jsou postupně připisovány nové verze nastavení, dokud není zaplněn celý blok, kdy teprve dojde k jeho vymazání. Tím je dosaženo menšího opotřebení a vyšší průměrné rychlosti při zápisu. Firmware je také schopen číst paměťové karty se souborovým systémem FAT.

Algoritmus vyhodnocení úderů dokáže využít více zvuků pro jeden kanál pro zlepšení věrohodnosti zvuku soupravy, lze také zaznamenávat průběh vstupního signálu do paměti a zobrazit jej v GUI.

Kapitola 5

Oživení zařízení

Tato kapitola popisuje postupné oživení částí zařízení podle postupu navrženého v rámci semestrálního projektu. V každé části jsou krátce popsány případné problémy ke kterým během zprovoznění došlo a jejich odstranění. Postup má následující podcíle:

- Naprogramování procesoru kódem, který bude signalizovat, že MCU pracuje
- Naprogramování kódu komunikujícího po sériové lince
- Zprovoznění kodeku, generování sinusového signálu pro test sluchátkového výstupu
- Čtení a programování NAND Flash paměti
- Čtení hodnot z A/D převodníku
- LCD a řadič dotykového panelu
- SD karta
- Hlavní algoritmus – zpracování vstupů a generování zvuku
- Čtení a programování NOR Flash paměti

5.1 Základní oživení

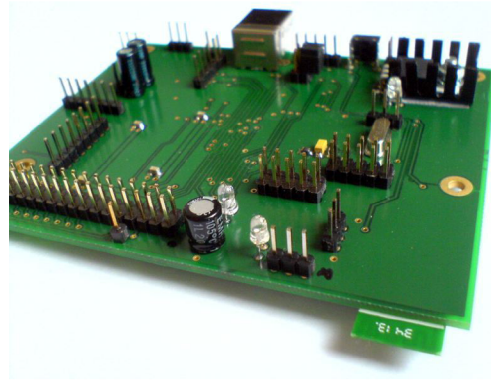
Navržené desky plošných spojů byly vyrobeny na zakázku, osazení součástkami proběhlo ručně. Hlavní deska, viz obrázky 5.1 a 5.2, byla vizuálně zkontrolována na přítomnost zkratů, změřena průchodnost hlavních napájecích větví a poté připojena na zdroj s proudovým omezením. Pozorovaná klidová spotřeba všech komponent byla řádově 80 mA. Pomocí programátoru ST-Link/V2 a programu ST Visual Programmer se podařilo načíst obsah paměti mikrokontroléru.

5.1.1 Zprovoznění prvního programu

Firmware je programován v Kile uVision 4 s Evaluation licencí omezující maximální velikost přeloženého kódu na 32 KB. Je dále využita standardní knihovna dodaná výrobcem MCU pro inicializaci periférií, obslužný firmware je postaven na vzorovém projektu knihovny pro zmíněné IDE.



Obrázek 5.1: Osazená hlavní deska, strana spojů.



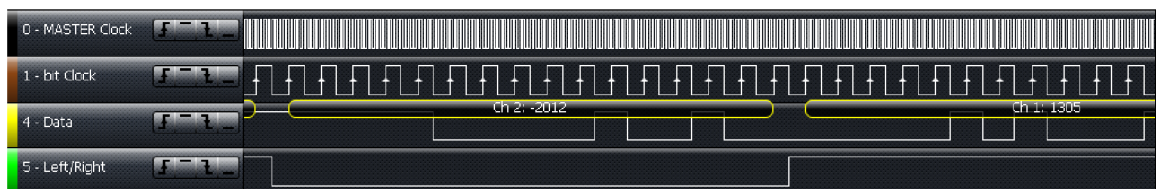
Obrázek 5.2: Osazená hlavní deska, strana součástek.

Procesor je možné taktovat interním RC oscilátorem nebo krystalem o frekvenci 4-16 MHz. Knihovna v základu předpokládá interní oscilátor, při připojení externího krystalu je jeho očekávaná hodnota 8 MHz. I když skutečnou hodnotu lze nastavit v IDE, použitá verze knihovny ji nezohledňuje. Díky tomu několikrát došlo k přetaktování čipu na dvojnásobnou frekvenci, 144 MHz a následným nahodilým výskytům Hard Fault. V knihovně byla proto ručně nastavena předdělička frekvence externího oscilátoru. Dalším občasným zdrojem Hard Fault vyskytujícím se během vývoje bylo implicitní nastavení velikosti zásobníku, které stačilo správně zvolit.

5.2 Kodek

Rozhraní I²S kodeku WM8731 bylo nutné použít v režimu slave, neboť kodek v režimu master generuje signál Bit Clock přímo z Master Clock, tj. se stejnou frekvencí – 12 MHz. To způsobuje, že jeden vzorek je přenášen během 136 hodinových pulzů. I když některá zařízení přebytečné hodinové pulzy ignorují a synchronizují se vždy změnou signálu Word Select, periferie procesoru se synchronizuje pouze na začátku přenosu a dále vyžaduje přesně 16 bitů na vzorek, jinak dochází k rozpadu synchronizace.

Protože signál Master Clock je generován nezávislým časovačem, jak bylo popsáno v kapitole 3.5.2, je možné periferii I²S nakonfigurovat v režimu master při zachování frekvence $f_s = 44118 \text{ Hz}$, a docílit tak očekávanou frekvenci signálu Bit Block – 1,4 MHz. Výsledné časování je ilustrováno obrázkem 5.3, zachycujícím data na I²S sběrnici při přenosu testovacího sinusového signálu.



Obrázek 5.3: Korektní časování I²S sběrnice.

5.2.1 I²C

Během zprovoznění kodeku byla nejdříve provedena konfigurace parametrů pomocí I²C. Aktivace časovače generujícího 12 MHz a povolení I²S bylo provedeno až později. I když inicializace probíhá vždy úspěšně, vyskytly se problémy se změnou hlasitosti během přehrávání, kdy kodek nepotvrzoval příjem příkazů. Laděním bylo zjištěno, že problém nenastává, pokud je dočasně deaktivováno I²S a Master Clock.

V zapojení hlavní desky jsou vodiče I²C osazeny 220 Ω ochrannými rezistory v sérii, pravděpodobnou příčinou tedy bylo rušení na datových spojích způsobené vedlejším signálem Master Clock. Rezistory byly odstraněny a v souladu se specifikací I²C [24] byly sníženy i hodnoty pull-up rezistorů z 4,7 kΩ na 2,2 kΩ.

Chyba v návrhu procesoru

Před změnou rezistorů bylo mezitím pokračováno ve zprovoznění periferie FSMC hlavní sběrnice. Po opravě rezistorů přestala I²C periferie reagovat úplně, i když počáteční inicializace stále probíhala správně. Jak bylo zjištěno později, použitý procesor obsahuje množství návrhových chyb popsanych v Errata dokumentu [25], mj. také kolizi v mapování alternativních funkcí na piny procesoru, důsledkem čehož aktivací FSMC periferie dojde k trvalému nastavení datového vodiče SDA do log. 1, čímž je veškerá komunikace znemožněna. Nastavení kodeku tak musí předcházet deaktivace hlavní sběrnice. Další možností je softwarová emulace sběrnice.

Během ladění byl použit levný logický analyzátor připojený ke sběrnicím I²C a I²S. Při pozastavení FSMC, které umožnilo činnost I²C bylo stále nutné deaktivovat Master Clock, neboť docházelo k rušení a odmítání příkazů. Tento problém zmizel odpojením log. analyzátoru, který patrně přenášel rušení mezi oběma sběrnicemi.

5.3 Hlavní sběrnice

Podle údajů o časování paměti v [26] a možnostem nastavení FSMC periferie v [27] a [17] by čtení jednoho slova na sběrnici mělo trvat 4 hodinové cykly, tj. asi 55 ns. Pokud by tomu tak skutečně bylo, datový tok by teoreticky postačoval pro 145 současně přehrávaných zvuků. DMA řadič použitý pro čtení datových bloků na pozadí však nepracuje nepřetržitě, mezi přístupy do paměti se objevují několikanásobně delší čekací stavy.

V kapitole 3.3.1 byl odhadován čas čtení bloku na základě doby vybavení stránky $T_{page} = 25 \mu s$ a doby čtení datového slova $T_{word} = 100 ns$. Měření reálné situace ukazuje $T'_{page} = 20 \mu s$, $T'_{word} \approx 250 ns$, kde je započítáno i prodlení při DMA přenosu. Zvýšení výkonu je dosaženo nastavením datové šířky DMA operací na 32 bitů. Komponenta FSMC se zachová tak, že tento přístup obslouží dvěma čtecími cykly na externí sběrnici následujícími bezprostředně po sobě a nemusí dvakrát využívat interní sběrnici. Nežádoucí čekání tak nastává jen v polovině případů, čímž se průměrná doba čtení dostane na $T''_{word} \approx 155 ns$. Celá stránka se tak načte v čase přibližně $T_{read} = 386 \mu s$, což postačuje na 59 současně přehrávaných zvuků.

Nedostatkem návrhu hlavní desky je nepřítomnost pull-down rezistoru na Write Protect pinu Flash paměti, které tak nejsou během připojení napájení chráněny proti zápisu. Během vývoje nebylo zjištěno žádné nechtěné porušení obsahu paměti, přesto je osazení podobné ochrany dobrou praxí.

5.3.1 Panel LCD displeje

Modul s LCD displejem byl zakoupen z levného zdroje. Během zprovoznění modulu podle dodaných parametrů docházelo k „poskakování“ řádků v závislosti na zobrazovaných datech, stavu PWM řízení podsvětlení a obdobných okolních jevech. Bylo zjištěno, že modul je při výrobě osazován různými LCD panely a dodaný model vzorkuje vstupní data opačnou hranou hodinového signálu.

Modul je také náchylný na rušení, při čtení velmi rozdílných hodnot na sběrnici dochází i při deaktivovaném signálu Chip Select k relativně deterministickým výpadkům a restartům řadiče. Příčina prozatím nebyla přesně odhalena, avšak je výrazně potlačena při přítomnosti SD karty.

5.4 Sériové sběrnice

SPI periférie procesoru poskytuje uživateli flag Busy (nezaměnit s Busy signálem hlavní sběrnice), který indikuje probíhající komunikaci. Ten je využíván k detekci dokončení přenosu posledního bytu při deaktivaci signálu typu Chip Select. Režim komunikace definuje vzorkování dat aktivací hodinového signálu SCK. Podle výstupu logického analyzátoru je flag Busy nulován při navzorkování posledního bitu v rámci přenosu, tedy ještě před nastavením hodinového signálu do neaktivní úrovně. Tím pádem může dojít ke změně stavu CS během aktivní úrovně signálu SCK. I když nebyly pozorovány problémy způsobené tímto chováním, vyhodnocovací software Logic [28] tento jev hlásil jako chybu.

5.4.1 SD karty

Během vývoje funkcí pro práci s SD kartami bylo zjištěno, že při čtení odpovědi musí mít procesorem odesílané byty hodnotu 0xFF. V případě, že MCU toto nedodrží, může být tato „výplň“ považována za další, chybný příkaz, na který karta reaguje R1 odpovědí s chybovou maskou. U jednoho exempláře 16 MB SD karty se během čtení sektoru tyto chybové odpovědi přimíchávaly do dat logickou operací AND. Všechny testované karty taktéž nereagovaly na deaktivaci signálu Chip Select během čtení sektoru.

5.4.2 MIDI

Výstup MIDI sběrnice je napájen z napětí desky 3,3 V. Jak bylo popsáno v kapitole 3.8.1, v elektrickém obvodu optočlenu se v běžném zapojení vyskytují v sérii 3 rezistory o velikosti 220 Ω. Při předpokládaném úbytku napětí na LED diodě 1,5 V je proud protékající obvodem asi 5,3 mA. To je i jediná hodnota specifikovaná standardy [16].

Použité schéma a hodnoty rezistorů však předpokládají tehdy běžné napájecí napětí 5 V. Při napájení 3,3 V je proud protékající LED diodou 2,7 mA, a to již k buzení vstupů nestačí. Byl proveden test na „MIDI to USB“ převodníku a na jednotce Roland MT-32. V obou případech nedošlo k příjmu dat. Po ověření správného časování signálu a experimentálním napájením výstupu z 5 V, které produkovalo správné výsledky, byly rezistory ve výstupní části sníženy na 51 Ω. Pokud má rezistor ve vstupní části cizího zařízení běžnou hodnotu 220 Ω, je nový výsledný proud obvodem 5,6 mA. Obě testovaná zařízení již data přijímají.

Vstupní část MIDI bicího modulu je hardwarově funkční, nicméně bylo navíc nutné použít DMA řadič pro příjem dat, neboť při velkém provozu na sběrnici docházelo ke ztrátám dat.

5.5 Napájení

Maximální plánovaná spotřeba činí 800 mA, použitý stabilizátor by měl pracovat do proudu 1 A. Reálně naměřené hodnoty jsou v uvedené tabulce 5.1. Měření probíhalo s připojenými sluchátky o impedanci 25 Ω , hlasitost výstupu byla nastavena na -1 dB. Spotřeba se zdá být téměř konstantní.

Spotřeba	Podmínky
180 mA	Spuštění bez inicializace LCD
370 mA	Spuštění se zapnutým LCD, menu
380 mA	Vytváření adresáře NAND Flash
	Přehrávání zvuku čteného z NAND Flash paměti
390 mA	Přehrávání zvuku čteného z SD karty
	Mixování vzorků, dosažena maximální polyfonie
410 mA	Kopírování zvuku z SD karty do NAND Flash

Tabulka 5.1: Reálná spotřeba při provozu.

5.6 Shrnutí

Během oživení zařízení a zprovoznění jednotlivých komponent byly odhaleny některé nedostatky návrhu hlavní desky, jako nevhodně zvolené či chybějící rezistory a nedomyšlené časování audio kodeku. Tyto problémy byly uspokojivě odstraněny. Dále byly objeveny problémy v interním návrhu procesoru, které nebyly předpokládány, avšak mají minimální dopad na funkčnost zařízení.

Reálný výkon pamětí a hlavní sběrnice mírně přesahuje počáteční odhad výkonnosti provedený v kapitole 3.3.1. Nevyřešeným problémem prozatím zůstává rušení řadiče LCD displeje. Reálná spotřeba přístroje je přibližně poloviční než bylo odhadováno, zdroje tak nejsou tolik tepelně zatěžovány.

Kapitola 6

Testování

Tato kapitola se věnuje určení reálných parametrů vyrobeného zařízení, především maximální polyfonie a latence zvuku. Uvedeny jsou postupy měření a je popsáno řešení problému s blokováním DMA řadiče.

6.1 Zvukový generátor

Algoritmus generování zvuku podle návrhu pracuje tak, že po výběru bloku dat, který se bude načítat, a odeslání jeho adresy do Flash paměti, jsou zpracovány analogové a MIDI vstupy, zatímco je paměť zaneprázdněna vybavováním požadované stránky. Poté je prováděno mixování zvuku z paměti za současného nahrávání nového bloku dat.

I přes korektní fungování samostatně běžících algoritmů pro zpracování vstupů a generování zvuku docházelo při jejich současném běhu k falešné detekci velkého množství zvuků na všech kanálech. Charakteristikou chyby byla korektní detekce a měření intenzity úderu na správném kanálu a následný výskyt napětí náhodně na ostatních kanálech. Po vyloučení chyby v použití A/D převodníku bylo zjištěno, že dochází k vzájemné záměně vstupních kanálů způsobené nestíhajícím DMA přenosem při běhu zvukového generátoru. To mělo za následek vynechání několika A/D převodů a „posunutí“ čísel kanálů. Doznívající vibrace snímače se tak projeví na ostatních kanálech.

Tato chyba se projevovala i při nastavení maximální priority DMA kanálu pro A/D převodník a naopak zmizela, pokud se data z Flash paměti načítala pomocí procesoru. Taková úprava firmwaru by však měla negativní vliv na výkon, naměřená doba mixování jednoho bloku byla téměř 700 μ s.

Na vině ztráty dat z A/D převodníku je způsob, jakým je periferie FSMC připojena do systému. Běžné periferie po přijetí dat aktivují signál DMA Request, který upozorní DMA řadič, ten provede přesun dat a odpoví aktivací signálu DMA Acknowledge, načtež periferie stáhne svoji žádost. Veškeré operace s adresovým prostorem Flash paměti jsou však pouze „přeloženy“ na průběh externí sběrnice pomocí FSMC. Tím pádem DMA řadič musí pracovat v memory-to-memory režimu, který signály DMA Request nepoužívá. Za běžných okolností není ani zapotřebí indikovat připravenost dat, jelikož paměť je vždy připravena.

V případě NAND Flash je ale situace jiná, pokud je paměť zaneprázdněna a aktivuje signál Busy. Pokud v tomto okamžiku k paměti přistoupí procesor (instrukce `ldr`), je zcela pozastaven a není schopen přejít ani do obsluhy přerušení. Tento problém popisuje i jeden linuxový patch [29]. Analogicky, pokud přístup provádí DMA řadič, je taktéž pozastaven až do doby připravenosti paměti, což může trvat až 25 μ s. To je i příčinou pozorované chyby,

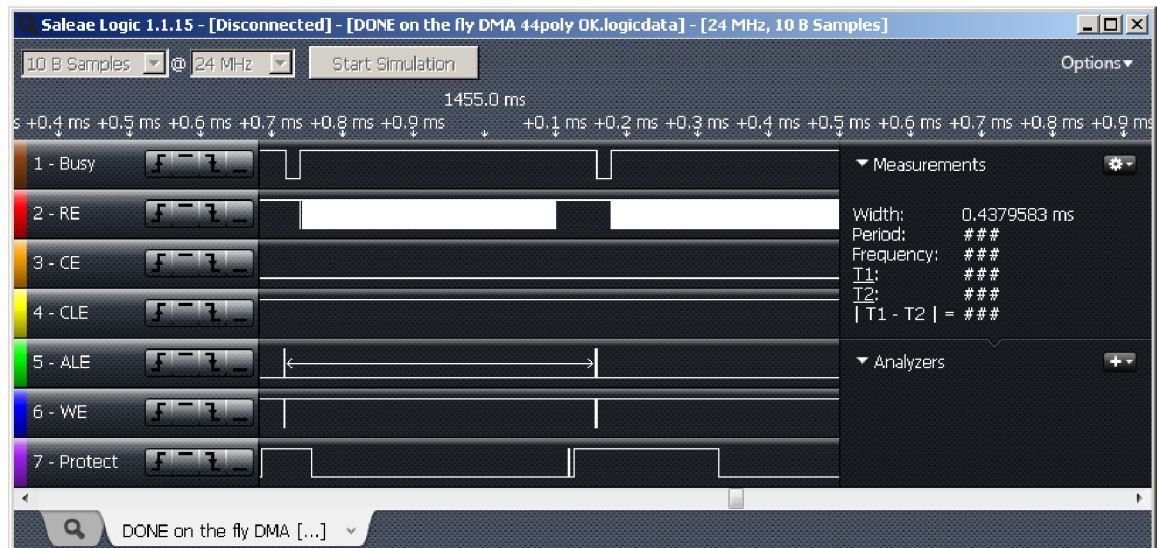
neboť během této doby je ztraceno několik hodnot A/D převodníku a dojde k desynchronizaci I²S sběrnice a teoreticky i k záměně kanálů.

Protože DMA řadič nesmí být tak dlouho pozastaven, je možným řešením načtení prvních dvou hodnot datového bloku pomocí procesoru, kde se projeví čekání, a následnou aktivací DMA přenosu, který již proběhne bez problémů. Před spuštěním prvních dvou blokujících čtení je možné naplánovat další činnosti jako zpracování vstupů a MIDI komunikace, které se budou provádět během zaneprázdněnosti paměti. Bylo ověřeno, že u takto opraveného kódu nedochází ke ztrátám dat DMA přenosů.

6.2 Maximální dosažená polyfonie

Naměřená doba mixování jednoho bloku paměti je 352 μ s, doba DMA přenosu vybavené stránky je shodou okolností téměř totožná. Poslední úpravou algoritmu je tak soubežné mixování stránky během jejího načítání. Smyslem je ušetření prostoru v paměti, neboť není nutné uchovávat dvě paměťové stránky, a především jednodušší plánování načítaných stránek, protože v jednom okamžiku je zpracovávána i načítána pouze jedna.

Činnost algoritmu ukazuje průběh signálů na řídicí sběrnici zachycený logickým analyzátozem na obrázku 6.1. Výběr stránky k načtení se projevuje zápisem adresy do paměti viditelným jako aktivace signálů ALE, WE a následným přechodem Busy signálu do log. 0. Čtení dat pomocí procesoru je možné pozorovat jako první krátkou aktivaci signálu RE ihned po deaktivaci Busy. Malá prodleva před dalším čtením je doba strávená programováním DMA řadiče. Poté již následuje intenzivní čtení paměti. Počátek mixovacího algoritmu byl pro názornost indikován přechodem signálu Protect do log. 0, který nastává krátce po aktivaci DMA řadiče.



Obrázek 6.1: Provoz na sběrnici při maximální polyfonii.

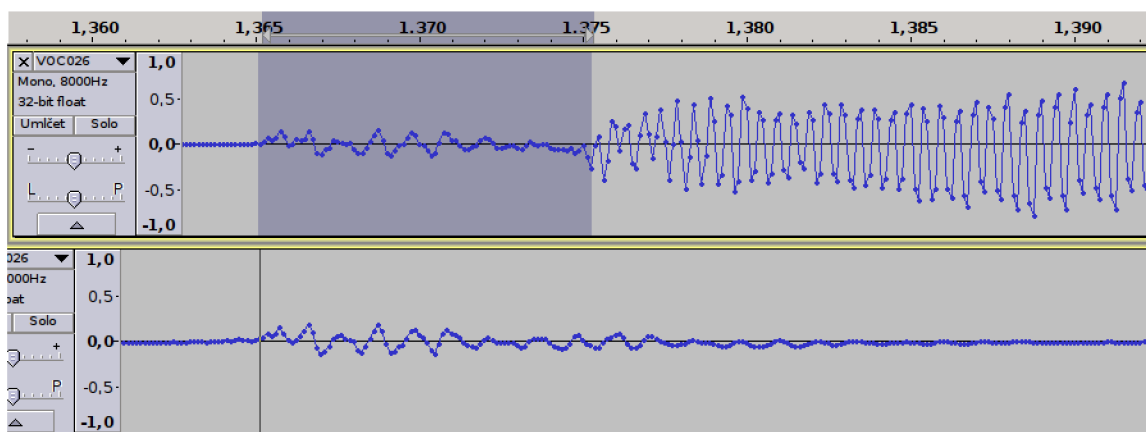
Dokončení mixování bloku je indikováno přechodem Protect do log. 1 a zpět. Jak je vidět, v tu chvíli je již celá stránka načtena v paměti, přibližně 18 μ s před koncem mixování. Načtená stránka navíc obsahuje i data z její Spare části, která neobsahují zvukové vzorky a nejsou tak algoritmem vyžadována, náskok je tedy ve skutečnosti ještě o přibližně 11 μ s větší.

Tento algoritmus při testování dosáhl maximální polyfonie 44 zvuků v CD kvalitě. Při běžném hraní se tato hodnota ukázala jako plně dostačující, k překročení došlo pouze při použití 8 s dlouhého vzorku pro činel a nepřetržitým hraním po dobu několika sekund. Jelikož naprostá většina délky vzorku se skládá z dosti potichého doznívání činelu, je možné v budoucích verzích včas omezovat početné dlouho znějící zvuky jednoho kanálu, pokud je přítomno dostatek hlasitějších zvuků téhož typu. Krátká nahrávka produkovaného zvuku je přiložena v datovém CD této práce.

6.3 Latence

Dalším důležitým parametrem je latence mezi úderem do snímače a generovaným zvukem. Vysoká hodnota způsobuje zmatení hráče a snižuje jeho schopnost udržet rytmus. Protože jde o zpoždění přítomnosti akustického signálu, byla latence měřena mikrofonom, to znamená, že byl zjišťován čas mezi zvukem produkovaným nárazem paličky do snímače a slyšitelným zvukem z reproduktorů.

Jako testovací vzorek byl použit sinusový signál o frekvenci 2 kHz, aby jej bylo v záznamu možné snadno rozpoznat. Nahrávání bylo provedeno MP3 přehrávačem, který byl umístěn cca 30 cm od reproduktoru a přiložen téměř na snímači. Výsledek měření ukazuje obrázek 6.2. Spodní průběh signálu je úder do snímače, který ještě nebyl detekován, horní průběh ukazuje úder, který již detekován byl a za kterým následuje testovací zvuk. Oba průběhy byly zarovnané v čase, aby bylo možné porovnat oba průběhy zvuku způsobené úderem do snímače – jsou si relativně podobné a mají nižší frekvenci než testovací signál. Ten se podle měření vyskytoval přibližně 11 ms po úderu do snímače. Subjektivně nebyla latence zpozorována, podle článku [12] je rovněž pod hranicí rozeznatelnou lidským uchem.



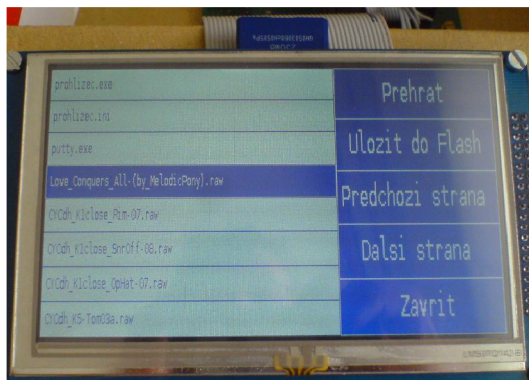
Obrázek 6.2: Porovnání zvuku úderu do snímače s přehráním zvuku a bez něj.

6.4 Uživatelské rozhraní

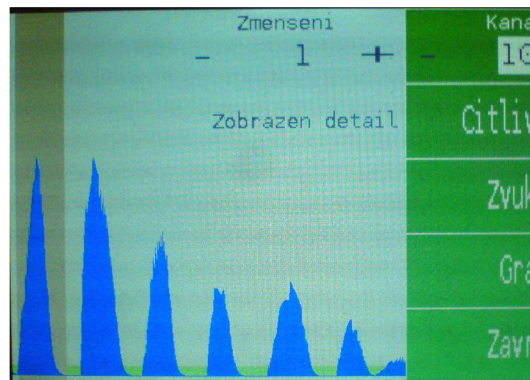
Uživatelské rozhraní je pohodlné při čtení paměťových karet a aktualizaci vzorků, viz obrázek 6.3. Rychlost nahrávání nových vzorků je přibližně 1,5 MBit/s a provádí kontrolu zápisu. Ukládání je tedy o něco málo rychlejší než přehrávání zvuku v reálném čase.

Užitečnou vlastností je také zachycování průběhu vstupních kanálů do paměti a jejich vizualizace v podobě grafu, jak ukazuje obrázek 6.4. Zachycováno je 2048 vzorků, možná je

agregace dat až 1:128 pro zvýšení délky záznamu. Na obrázku je hnědě vyznačena oblast použitá k výpočtu síly úderu a zeleně zvýrazněná oblast pod nastaveným prahem kanálu. Pokud se v rámci zobrazeného časového úseku vyskytuje časová hranice prodlevy po úderu, je rovněž vyznačena.



Obrázek 6.3: Grafické uživatelské rozhraní pro SD kartu.



Obrázek 6.4: Zachycení napěťového průběhu vstupu.

Zbytek uživatelského rozhraní, především nastavení bicích sad a MIDI je velmi zjednodušený, implementovány jsou jen nejnútnější ovládací prvky pro funkci zařízení. Při pokračování ve vývoji je v této oblasti ponechán velký prostor pro vylepšení a implementaci funkcí pro zvýšení uživatelského komfortu, např. správa více sad nastavení, grafické znázornění hlasitosti zvuků na základě intenzity úderu apod.

6.5 Shrnutí

Zvukový generátor je schopen mixovat 44 současně znějících zvuků za současného snímání všech 16 vstupních kanálů. Latence mezi úderem do snímače a slyšitelným zvukem byla změřena jako 11 ms. Problém blokování DMA přenosů čekacím stavem paměti byl vyřešen reorganizací algoritmu a přesunem první, potenciálně blokující, operace z DMA řadiče na jádro procesoru. DMA přenos je pak spuštěn současně se zpracováním již načtených dat.

Kapitola 7

Závěr

V rámci diplomové práce byly prostudovány principy detekce úderů v elektronických bicích soupravách a existující komerční produkty včetně jejich parametrů. Na základě analýzy běžně používaných metod snímání byl navržen a sestrojen prototyp schopný převodu signálů na MIDI data. Prototypem bylo vyzkoušeno zapojení předzesilovačů v analogové části a byla odhalena některá kritická místa, především potřeba vyšší vzorkovací frekvence A/D převodníku a problematika latence.

Na základě těchto informací byly stanoveny požadované parametry finálního zařízení a byly prozkoumány dostupné elektronické komponenty k jeho výrobě. Po konzultaci s vedoucím práce bylo pokračováno návrhem plošných spojů zařízení. Desky vyrobené na zakázku byly ručně osazeny a oživeny.

Dále byl navržen a poté implementován obslužný firmware schopný generovat zvuk s cílem dosáhnout maximální polyfonie. Během implementace bylo vyřešeno několik vad vlastního návrhu i hardwarových chyb použitých komponent. Finální zařízení bylo nakonec vyzkoušeno v reálném prostředí na zkonstruované elektronické bicí soupravě.

Sestrojené zařízení je schopné snímat až 16 vstupních kanálů, každý s frekvencí 3-53 kHz, a na základě jejich vyhodnocení produkovat zvukový výstup mixováním až 44 současně znějících zvuků v CD kvalitě, tj. 44100 Hz, 16 bitů, stereo. Vzorky jsou uloženy ve dvojici NAND Flash pamětí o celkové kapacitě 2 Gib. Zvukový výstup je zajištěn audio kodekem, dosažená latence mezi úderem a slyšitelným zvukem se pohybuje kolem 11 ms. Zařízení obsahuje uživatelské rozhraní s dotykovým LCD displejem a grafickým uživatelským rozhraním pro nastavení citlivosti vstupů a výměnu uložených vzorků. Nová data lze nahrát pomocí SD nebo MMC karty, byla implementována podpora pro běžné varianty FAT systému včetně podpory dlouhých názvů souborů. Komunikace s okolím je umožněna MIDI sběrnici a sériovým Bluetooth modulem.

Článek shrnující návrh zařízení popsany v této práci byl publikován v rámci soutěže STUDENT EEICT 2014 pořádané VUT v Brně v kategorii Počítačové systémy.

7.1 Možnosti rozšíření

Další úsilí při vývoji zařízení bude vhodné věnovat zdokonalení firmwaru. Velký prostor pro zlepšení poskytuje nejen komfort uživatelského rozhraní, ale spočívá v množství doplňujících funkcí, které lze implementovat. Takové funkce jsou například:

- Nastavitelné zpracování a filtrace příchozí MIDI komunikace, záznam celé skladby do paměti nebo na vloženou SD kartu ve formátu Standard Midi File (*.mid). Obdobně

je možné realizovat přehrávání nebo alespoň odesílání souborů na výstup do dalších hudebních nástrojů. S tím souvisí i schopnost řídit jejich hlasitosti a nastavení.

- Relativně malou dodatečnou zátěž by mohlo představovat přehrávání zvukového doprovodu z SD karty, jelikož datový přenos by mohl běžet převážně na pozadí. Teoreticky je možný i zápis produkovaného zvuku na kartu, avšak je nutné počítat se zpožděním způsobeným nutností vyhledávat prázdné clusterly v souborovém systému a aktualizovat FAT tabulku.
- Grafický „bicí automat“ přehrávající krátkou rytmickou sekvenci definovanou za běhu pomocí dotykového displeje.
- Zprovoznění USB rozhraní na mikroprocesoru. To může sloužit buďto jako audio výstup generovaného zvuku, MIDI zařízení, nebo i joystick pro použití soupravy pro rytmické hry typu Rock Band.
- Podrobná konfigurace kodeku, např. nastavení hlasitosti vstupní linky, vyvážení, mute.

Je možné se soustředit i na zlepšení stávající funkcionality. Např. spojení dvou vstupních kanálů z více-zónového snímače a určování pozice úderu v rámci padu. Další možná zlepšení zahrnují:

- Rozšíření nastavení každého kanálu, např. nastavitelná délka integrace každého kanálu pro postih chování různých druhů snímačů. Dále odděleně nastavitelná hlasitost pravého a levého kanálu pro každý zvuk (mixovací algoritmus již podporuje oddělené hlasitosti).
- Implementace inteligentního „zahazování“ zvuků, které zabrání přetížení zvukového generátoru např. při rychlé hře na činel s velmi dlouhým zvukem. Algoritmus může předčasně utlumovat slabé doznívající zvuky, pokud jsou přehlušeny mnoha novějšími zvuky stejného kanálu, omezit tak maximální spotřebu zvuků např. na 24. Při velké zátěži tak nebude vyčerpána veškerá polyfonie a zvuk činelu bude přesto doznívat s kombinací 24 zvuků.
- Intenzivnější optimalizace, např. na úrovni assembleru nebo lepší uspořádání kódu, kterým by mohlo být možné ještě zvýšit maximální polyfonii zařízení, případně snížit latenci.
- Testování podpory vysokokapacitních SDHC karet, teoreticky by měly být již podporovány.

Literatura

- [1] *Simmons Electronic Drums: The Virtual Museum* [online]. 2009 [cit. 2014-01-11].
Dostupné z: <http://www.simmonsmuseum.com/>
- [2] *Simmons Electronic Drums: Operating Instructions*. Simmons, 1981.
- [3] TD-10. *Roland Corporation: Worldwide* [online]. 2013 [cit. 2014-01-11].
Dostupné z: <http://www.roland.com/products/en/TD-10/>
- [4] SCHENZER, P. *Rock drums: basic*. Praha: Muzikus, 1995, 131 s. ISBN 80-902-0020-6.
- [5] FORRÓ, D. *Svět MIDI*. Praha: Grada publishing s. r. o., 1997, 384 s. ISBN 80-716-9412-6.
- [6] V-Pad & V-Kick. *Roland Corporation: Worldwide* [online]. 2013 [cit. 2014-01-11].
Dostupné z: <http://www.roland.com/V-Drums/topics/inside/v-pad/index.html>
- [7] Convert your acoustic drum kit to electronic drum kit. *DIY Electronic Drum Tutorials: How to build Electronic Drums* [online]. 2012 [cit. 2014-01-11].
Dostupné z: http://www.edrums.info/acoustic_1.htm
- [8] *EDrum: Trigger MIDI Converter* [online]. 2009 [cit. 2014-01-11].
Dostupné z: <http://www.edrum.info>
- [9] MPLAB Integrated Development Environment. *Microchip Technology Inc* [online]. 2012 [cit. 2014-01-11].
Dostupné z: www.microchip.com/mplab8
- [10] *Rádio plus KTE: Konstrukce, technika, elektronika*. Praha: Rádio plus, 2004. ISSN 1212-3730.
- [11] Chipon 2. *Doveda Boys* [online]. 2004 [cit. 2014-01-11].
Dostupné z: <http://doveda.by1.cz/chipon2/>
- [12] Opening Pandora's Box?: The "L" word - latency and digital audio systems. KELTZ, Al. *Whirlwind* [online]. 2014 [cit. 2014-01-11].
Dostupné z: <http://whirlwindusa.com/support/tech-articles/opening-pandoras-box/>
- [13] VAHID, F. a. T. G. *Embedded system design: a unified hardware/software introduction*. New York: Wiley, c2002, xxi, 324 s. ISBN 0-471-38678-2.

- [14] *WM8731 DS Datasheet*. Edinburgh, 2012.
Dostupné z: www.wolfsonmicro.com/documents/uploads/data_sheets/en/WM8731.pdf
- [15] *LM3940: 1A Low Dropout Regulator for 5 V to 3.3 V Conversion*. 2003, 11 s.
Dostupné z: www.farnell.com/datasheets/78785.pdf
- [16] MIDI MANUFACTURERS ASSOCIATION. *Tech Specs & Info* [online]. 2014 [cit. 2014-05-08].
Dostupné z: <http://www.midi.org/techspecs/>
- [17] *STM32F101xx, STM32F102xx, STM32F103xx, STM32F105xx and STM32F107xx advanced ARM-based 32-bit MCUs*. 2011, 1096 s.
Dostupné z: http://www.st.com/st-web-ui/static/active/en/resource/technical/document/reference_manual/CD00171190.pdf
- [18] *XPT2046 Data Sheet*. 2007, 30 s.
Dostupné z: ftp://imall.iteadstudio.com/LCD_Panel/IM120906008/DS_XPT2046.pdf
- [19] *S25FL128S and S25FL256S*. 2012, 153 s.
Dostupné z: www.spansion.com/Support/Datasheets/S25FL128S_256S_00.pdf
- [20] SD GROUP. *Physical Layer Simplified Specification*. 2013, 202 s.
Dostupné z: https://www.sdcard.org/downloads/pls/simplified_specs/part1_410.pdf
- [21] How to Use MMC/SDC. *Electronic Lives Mfg.* [online]. 2013, 2013-02-18 [cit. 2014-05-08].
Dostupné z: http://elm-chan.org/docs/mmc/mmc_e.html
- [22] WHITE, E. *Making embedded systems*. Sebastopol: O'Reilly, c2012, xiv, 310 s. ISBN 978-1-449-30214-6.
- [23] MICROSOFT CORPORATION. *FAT32 File System Specification*. 2000, 34 s.
Dostupné z: <http://msdn.microsoft.com/en-us/library/gg463080.aspx>
- [24] *UM10204: I2C-bus specification and user manual*. 2012, 64 s.
Dostupné z: www.nxp.com/documents/user_manual/UM10204.pdf
- [25] *STM32F101xC/D/E and STM32F103xC/D/E high-density device limitations*. 2014.
Dostupné z: http://www.st.com/st-web-ui/static/active/en/resource/technical/document/errata_sheet/CD00197763.pdf
- [26] *Spansion SLC NAND Flash Memory for Embedded*. 2014, 77 s.
Dostupné z: www.spansion.com/Support/Datasheets/S34ML01G1_04G1.pdf
- [27] *High-density performance line ARM-based 32-bit MCU with 256 to 512KB Flash, USB, CAN, 11 timers, 3 ADCs, 13 communication interfaces*. 2011, 130 s.
Dostupné z: <http://www.st.com/st-web-ui/static/active/en/resource/technical/document/datasheet/CD00191185.pdf>

- [28] *Saleae Logic* [online]. 2014 [cit. 2014-05-08].
Dostupné z: <https://www.saleae.com/logic>
- [29] [PATCH 05/11] fsmc: Implement ready/busy through gpio pin. In: *Linux MTD discussion mailing list* [online]. 2012 [cit. 2014-05-08].
Dostupné z: lists.infradead.org/pipermail/linux-mtd/2012-October/044423.html
- [30] *SSD1963 Product Preview: 1215KB Embedded Display SRAM LCD Display Controller*. 2008, 86 s.
Dostupné z: www.microtipsusa.com/pdf/SSD1963.pdf

Seznam příloh

Příloha **A** – Obsah CD

Příloha **B** – Inicializační procedura LCD displeje

Příloha **C** – CD s datovou přílohou práce

Příloha A

Obsah CD

Datová příloha práce obsahuje:

- Přeloženou podobu práce a její verzi pro tisk.
- Složku `tex` se zdrojovými soubory práce pro \LaTeX včetně obrázků.
- Složku `eagle` se schématem zařízení a deskou plošných spojů.
- Složku `firmware` s kódem pro mikroprocesor.
- Složku `multimedia` s krátkou ukázkou produkovaného zvuku nahranou z linkového výstupu MP3 přehrávačem.
- Složku `EEICT` s prezentací a článkem publikovaným v soutěži.

Příloha B

Inicializační procedura LCD displeje

Inicializace je téměř celá závislá na parametrech připojeného LCD panelu, jehož parametry jsou pro zjednodušení zápisu uvedeny v tabulce B.1. Řadič se chová tak, že registry, jejichž nulová hodnota by nedávala smysl, mají význam o jedničku vyšší než hodnota, která je do nich zapsána, např. hodnota HDP = 799 značí šířku panelu 800 pixelů. Tento „offset“ je matoucí, pokud není přesně definováno, které registry jej uplatňují. V tabulce je označen jako +1.

Název	Hodnota	Offset	Popis
HDP	799	+1	Šířka displeje v pixelech
VDP	479	+1	Výška displeje v pixelech
HT	928	+1	Perioda signálu HSync v počtu uplynulých pixel clock
HPS	46	+1	Čas mezi aktivací HSync a prvními platnými daty
LPS	15		Pozice začátku pulzu HSync
HPW	48	+1	Šířka pulzu HSync
VT	525	+1	Perioda signálu VSync v počtu HSync průběhů
VPS	16		Čas mezi aktivací VSync a prvním datovým řádkem
FPS	8		Pozice začátku pulzu VSync
VPW	16	+1	Šířka pulzu VSync

Tabulka B.1: Parametry LCD panelu v podobě pro řadič SSD1963.

Následující inicializační procedura byla sestavena na základě nefunkčního zdrojového kódu dodávaného výrobcem pro procesor 8051 a několika dalších volných ovladačů, lišících se převážně v parametrech tabulky B.1. Nekompatibilita je pravděpodobně způsobena různými verzemi desky i osazenými součástkami včetně samotného LCD panelu.

B.1 Hardwarový reset

Reset je proveden HW signálem aktivním v log. 0 při neaktivní úrovni signálu Chip Select (CS). Nejprve jsou oba signály uvedeny do neaktivní úrovně na 5 ms, následně je na 15 ms aktivován Reset a dalších 15 ms je ponechán v neaktivním stavu. Teprve potom je řadič vybrán signálem CS.

B.2 Nastavení PLL a SW reset

Zdrojové kódy dodávané výrobcem nastavují takt řadiče na 120 MHz. Podle frekvence osazeného krystalu je nutné nastavit parametry PLL, jmenovitě násobitel N , dělitel M a konfigurační registr, který jejich použití povoluje. Na hodnoty je opět uplatněn „offset“, takže zapisované hodnoty musí být o jedničku sníženy. Na desce osazený krystal má frekvenci 10 MHz, zapisované parametry jsou tudíž $N = 35$, $M = 2$.

Po resetu řadiče je jako zdroj hodin pro celý čip použit referenční oscilátor, tj. externí oscilátor o frekvenci 10 MHz. Pro aktivaci PLL je nutné ji nastavit, povolit a až po určité době nastavit jako zdroj hodinového signálu. Doba pro rozběhnutí PLL se v katalogovém listu [30] liší, je udáváno 100 ms i 100 μ s. Rychlost zadávání příkazů je navíc omezena na polovinu taktu řadiče, tj. v této situaci 5 MHz. Po hardwarovém resetu je proveden softwarový reset řadiče, který by měl nastavit implicitní hodnoty ostatních registrů. Celkový postup je následující:

- Nastavit parametry M , N a konfiguračního registru příkazem 0xE2 a zápisem datových bytů 0x23, 0x02 a 0x04.
- Povolit činnost PLL, avšak ponechat zdroj hodin z externího vstupu příkazem 0xE0 a datovým bytem 0x01.
- Počkat nejméně 100 μ s.
- Povolit činnost PLL a zároveň ji nastavit jako zdroj hodin příkazem 0xE2 a datovým bytem 0x03.
- Vzorový kód zde čeká dalších 5 ms.
- Příkazem 0x01 vyvolat softwarový reset řadiče a počkat 5 ms (vzorový kód čeká 10 ms).

B.3 Nastavení parametrů panelu

Základní parametry panelu jsou 24 bitová barevná hloubka, rozlišení 800×480 pixelů, rozhraní je řízeno signály HSync, VSync a DE, jež jsou aktivní v log. 0. Na rozdíl od implikací poskytnutého kódu jsou však data zachycována sestupnou hranou hodinového signálu. Při opačném nastavení se tak projevovala nestabilita obrazu a „poskakující“ řádky. Subpixely v lichých i sudých řádcích jsou v pořadí RGB, řadič musí být také nastaven do TFT režimu, dithering je zakázán automaticky díky 24 bitové datové šířce panelu. Všechna tato nastavení jsou vložena jedním příkazem a sedmi datovými byty, sekvence je uvedena níže.

Časování panelu se odvozuje od nejmenší časové jednotky, tzv. pixel clock, která je odvozena od taktu řadiče. Signál horizontální synchronizace HSync (také LLINE), je určen v těchto jednotkách. Vertikální synchronizace VSync (také LFRAME) je potom odvozena v násobcích řádků, tj. period HSync. Nastavení časování je v podstatě přesunem hodnoty z tabulky B.1 pomocí tří příkazů. Celý postup nastavení je následovný, přičemž vícebytová čísla jsou zasílána od nejvýznamnějšího bytu:

- Nastavit pixel clock příkazem 0xE6 a 24 bitovou hodnotou dělitele PLL frekvence, tj. 0x04, 0x93 a 0xe0.

- Nastavit parametry panelu příkazem 0xB0 následovaným daty o elektronickém rozhraní 0x24, režimu řadiče 0x00, šířce panelu HDP (dva byty), výšce panelu VDP (dva byty) a uspořádáním subpixelů 0x00.
- Počkat 5 ms (podle vzorového kódu).
- Nastavit signál HSync příkazem 0xB4 a dvoubytovými hodnotami HT a HPS, jednobytovou hodnotou HPW, dvoubytovým LPS a jednobytovým časováním subpixelů 0x00.
- Nastavit VSync příkazem 0xB6 a dvoubytovými hodnotami VT a VPS, jednobytovou hodnotou VPW a opět dvoubytovým FPS.

B.4 Nastavení obrazu

Řadič dovoluje kromě zrcadlení obrazu v obou osách rotaci obrazu, inverzi barev a nezávislý směr aktualizace panelu. To vše se děje beze změn ve video paměti. Dalšími možnostmi je otočit směr zápisu pixelů do této paměti a na této úrovni i zaměnit pořadí subpixelů.

Formát dat přijímaný z mikroprocesoru může být zvolen podle šíře datové sběrnice, ta může být od 8 do 24 bitů. Kvůli kompatibilitě jsou příkazy a jejich parametry zasílány jednotně, vždy pouze po 8 bitech, samotná obrazová data však mohou být přenášena v režimech uvedených v obrázku B.1. Protože LCD modul je připojen k celé 16 bitové sběrnici MCU a je možnost přenést pixel jedinou zápisovou operací, byl zvolen 16 bitový režim RGB 565.

Interface	Cycle	D[23]	D[22]	D[21]	D[20]	D[19]	D[18]	D[17]	D[16]	D[15]	D[14]	D[13]	D[12]	D[11]	D[10]	D[9]	D[8]	D[7]	D[6]	D[5]	D[4]	D[3]	D[2]	D[1]	D[0]	
24 bits	1 st	R7	R6	R5	R4	R3	R2	R1	R0	G7	G6	G5	G4	G3	G2	G1	G0	B7	B6	B5	B4	B3	B2	B1	B0	
18 bits	1 st							R5	R4	R3	R2	R1	R0	G5	G4	G3	G2	G1	G0	B5	B4	B3	B2	B1	B0	
16 bits (565 format)	1 st									R5	R4	R3	R2	R1	G5	G4	G3	G2	G1	G0	B5	B4	B3	B2	B1	
16 bits	1 st									R5	R4	R3	R2	R1	R0	X	X	G5	G4	G3	G2	G1	G0	X	X	
	2 nd									B5	B4	B3	B2	B1	B0	X	X	R5	R4	R3	R2	R1	R0	X	X	
	3 rd									G5	G4	G3	G2	G1	G0	X	X	B5	B4	B3	B2	B1	B0	X	X	
9 bits	1 st																	R5	R4	R3	R2	R1	R0	G5	G4	G3
	2 nd																	G2	G1	G0	B5	B4	B3	B2	B1	B0
8 bits	1 st																		R5	R4	R3	R2	R1	R0	X	X
	2 nd																		G5	G4	G3	G2	G1	G0	X	X
	3 rd																		B5	B4	B3	B2	B1	B0	X	X

X: Don't Care

Obrázek B.1: Podporované formáty obrazových dat, převzato z [30].

Podsvícení panelu je zajištěno řadou LED diod v sériovém zapojení. Aby bylo možné napájet je z napětí 3,3 V, jsou buzeny pomocí zvyšovacího měniče TPS61040. Pro regulaci intenzity je měnič vybaven Enable signálem, který je v rámci LCD modulu pomocí letovacích propojek připojen trvale v aktivním stavu, vyveden na externí signál, anebo připojen na PWM výstup řadiče. Řadič potom dovoluje regulaci v rozsahu 256 kroků, s možností nastavení minimální intenzity a automatické pozvolné změny. Perioda signálu je řízena dělením taktu řadiče, pro zamezení viditelného blikání je nastavena na cca 305 Hz. Intenzita podsvětlení je i při maximální hodnotě relativně nízká.

Nastavení obrazu by mělo být následováno zápisem dat do video paměti, která po resetu obsahuje náhodné hodnoty, které se jinak při startu projeví jako barevný šum. Aktivace řízení displeje je provedena samostatným příkazem. Pro jiné aplikace je taktéž možnost přejít do několika úsporných režimů, které však nejsou v této aplikaci využity. Procedura je následovná:

- Nastavit rotaci a směr zápisu do video paměti příkazem 0x36 a datovým bytem 0x00.
- Nastavit pixel formát obrazových dat příkazem 0xF0 a daty 0x03.
- Volitelně zapsat do paměti grafická data (postup popsán dále).
- Počkat 5 ms (podle vzorového kódu).
- Aktivovat displej příkazem 0x29.
- Nastavit PWM generátor pro podsvětlení příkazem 0xBE a datovými byty 0x06 pro opakovací frekvenci, 0xFF jako aktuální hodnotu podsvětlení, 0x01 pro povolení PWM a hodnoty 0xFF, 0x00 a 0x0F pro vypnutí dynamického řízení PWM.

B.5 GPIO piny řadiče

Pomocí 4 uživatelsky programovatelných pinů lze řídit další funkce, které může panel nabízet, např. simulovat I²C sběrnici, pokud je na panelu přítomna. Zakoupený modul má mít využit jeden pin vedoucí k hardwarovému resetu panelu, ve finální fázi by tak měl být nastaven. Všechny dostupné inicializační kódy však nastavují tyto piny jako vstupy a pak do nich zapisují log. 0, která tak nemá žádaný efekt, reset panelu je tak ponechán v implicitním stavu interním pull-up rezistorem. Experimentálně bylo zjištěno, že tento pin je veden letovací propojkou a je zcela odpojen, nemá tedy smysl jej nastavovat. Pro případ potřeby je uveden postup:

- Nastavit režim pinu GPIO 0 jako výstup příkazem 0xB8 a daty 0x01 a 0x01.
- Nastavit pin do úrovně log. 0 příkazem 0xBA a datovým bytem 0x00.
- Počkat např. 5 ms.
- Nastavit pin do úrovně log. 1 příkazem 0xBA a datovým bytem 0x01.

B.6 Zápis dat na displej

Všechny zápisy do video paměti musí spočívat v definici obdélníkové oblasti paměti a jejím kompletním přepisu v dříve definovaném směru. Souřadnice jsou určeny dvěma body – $[x_1, y_1]$ v levém horním a $[x_2, y_2]$ v pravém dolním okraji čtverce. Oba tyto body jsou *vnitř* zapisované oblasti. Je nutné poznamenat, že definice oblasti je stále ve formě příkazu a jeho parametru, proto je komunikace 8 bitová a všechny 16 bitové souřadnice jsou posílány nejvýznamnějším bytem napřed. Nastavenou šířku sběrnice je možné využít až při odesílání samotných obrazových dat. Zápis oblasti je proveden následujícím postupem:

- Zapsat příkaz 0x2A a odeslat x_1 a x_2 .
- Zapsat příkaz 0x2B a odeslat y_1 a y_2 .
- Zapsat příkaz 0x2C a poté odeslat obrazová data.