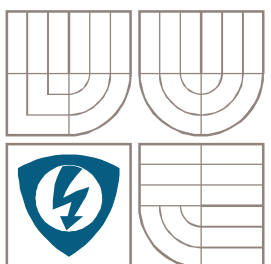


VYSOKÉ UČENÍ TECHNICKÉ V BRNĚ

BRNO UNIVERSITY OF TECHNOLOGY



FAKULTA ELEKTROTECHNIKY A KOMUNIKAČNÍCH
TECHNOLOGIÍ

ÚSTAV MIKROELEKTRONIKY

FACULTY OF ELECTRICAL ENGINEERING AND COMMUNICATION
DEPARTMENT OF MICROELECTRONICS

NÁVRH KOMPARÁTORU S KOMPENZACÍ NAPĚŤOVÉ NESYMETRIE V TECHNOLOGII CMOS

DESING OF A COMPARATOR WITH OFFSET COMPENSATION IN CMOS TECHNOLOGY

BAKALÁŘSKÁ PRÁCE

BACHELOR'S THESIS

AUTOR PRÁCE

AUTHOR

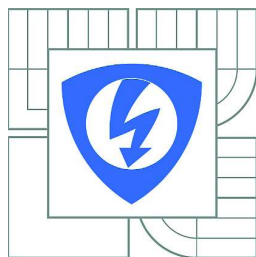
Josef Hylský

VEDOUCÍ PRÁCE

SUPERVISOR

Ing. Vilém Kledrowetz

BRNO, 2011



VYSOKÉ UČENÍ
TECHNICKÉ V BRNĚ

Fakulta elektrotechniky
a komunikačních technologií

Ústav mikroelektroniky

Bakalářská práce

bakalářský studijní obor
Mikroelektronika a technologie

Student: Josef Hylský

ID: 109660

Ročník: 3

Akademický rok: 2010/2011

NÁZEV TÉMATU:

Návrh komparátoru s kompenzací napěťové nesymetrie v technologii CMOS

POKYNY PRO VYPRACOVÁNÍ:

Prostudujte problematiku komparátorů. Na základě získaných poznatků navrhnete nový komparátor s kompenzací napěťové nesymetrie, ověřte jeho funkci simulacemi a vyhodnoťte jeho vlastnosti.

DOPORUČENÁ LITERATURA:

Podle pokynů vedoucího práce

Termín zadání: 7.2.2011

Termín odevzdání: 2.6.2011

Vedoucí práce: Ing. Vilém Kledrowetz

doc. Ing. Jiří Háze, Ph.D.

Předseda oborové rady

UPOZORNĚNÍ:

Autor bakalářské práce nesmí při vytváření bakalářské práce porušit autorská práva třetích osob, zejména nesmí zasahovat nedovoleným způsobem do cizích autorských práv osobnostních a musí si být plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení části druhé, hlavy VI. díl 4 Trestního zákoníku č.40/2009 Sb.

Anotace:

Obsahem této práce jsou základní poznatky o komparátorech a jeho návrhu v technologii CMOS. V úvodní kapitole je pojednáno o širokém použití komparátoru, jeho parametrech a o technologii CMOS, která je využita pro realizaci komparátoru. V následujících kapitolách jsou příklady zapojení komparátorů, schéma dvoustupňového komparátoru s otevřenou smyčkou a metody zlepšení jeho parametrů. V další části je uveden předzesilovač a jeho uplatnění ve vysokorychlostních latch komparátorech. V poslední kapitole je popsán návrh komparátorů a potlačení napěťové nesymetrie. Simulace je provedena v programu OrCAD PSpice.

Abstract:

This work contains basic knowledge about comparators and its design in the CMOS technology. The first chapter deals with a wide use of a comparator, its characteristics and the CMOS technology that is used to produce the transistors for the implementation of comparators. In the two following chapters there are examples of connexion of comparators, the design of the two-stage open loop comparator and improving of its characteristics. The preamplifier and its application in high-speed Latches comparators are introduced in the next chapter. The design of the comparator are introduced in the next chapter. The design of the comparator and its application in high-speed comparators are introduced in the next chapter.

Klíčová slova:

Komparátor, technologie CMOS, napěťová nesymetrie.

Keywords:

Comparator, CMOS technology, offset.

Bibliografická citace díla:

HYLSKÝ, J. *Návrh komparátoru s kompenzací napěťové nesymetrie v technologii CMOS*. BRNO: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2011. 52 s. Vedoucí bakalářské práce Ing. Vilém Kledrowetz

Prohlášení

Prohlašuji, že svůj semestrální projekt na téma Návrh komparátoru v technologii CMOS jsem vypracoval samostatně pod vedením vedoucího semestrálního projektu a s použitím odborné literatury a dalších informačních zdrojů, které jsou všechny citovány v práci a uvedeny v seznamu literatury na konci práce.

Jako autor uvedeného semestrálního projektu dále prohlašuji, že v souvislosti s vytvořením tohoto projektu jsem neporušil autorská práva třetích osob, zejména jsem nezasáhl nedovoleným způsobem do cizích autorských práv osobnostních a jsem si plně vědom následků porušení ustanovení § 11 a následujících autorského zákona č. 121/2000 Sb., včetně možných trestněprávních důsledků vyplývajících z ustanovení § 152 trestního zákona č. 140/1961 Sb.

V Brně dne 13. května 2011

.....
podpis autora

Poděkování

Děkuji vedoucímu diplomové práce Ing. Vilému Kledrowetzovi za účinnou metodickou, pedagogickou a odbornou pomoc a další cenné rady při zpracování mé bakalářské práce.

Obsah

ÚVOD	- 6 -
1 ÚVOD DO PROBLEMATIKY	- 7 -
1.1 PŘÍKLADY POUŽITÍ KOMPARÁTORŮ	- 7 -
1.2 PARAMETRY KOMPARÁTORU	- 8 -
1.2.1 <i>Statické vlastnosti</i>	- 8 -
1.2.2 <i>Dynamické vlastnosti</i>	- 9 -
1.3 TECHNOLOGIE CMOS	- 11 -
1.3.1 <i>MOSFET tranzistory</i>	- 11 -
1.4 PROUDOVÉ ZRCADLO	- 12 -
2 ZLEPŠENÍ PARAMETRŮ KOMPARÁTORU	- 15 -
2.1 SAMOVYNULOVÁNÍ	- 15 -
2.2 ZAVEDENÍ HYSTEREZE	- 16 -
3 PŘÍKLADY ZAPOJENÍ KOMPARÁTORŮ	- 18 -
3.1 DVOUSTUPŇOVÝ KOMPARÁTOR S OTEVŘENOU SMYČKOU	- 18 -
3.2 REGENERATIVNÍ (BISTABILNÍ) KOMPARÁTOR	- 19 -
4 VYSOKORYCHLOSTNÍ KOMPARÁTORY	- 21 -
4.1 FUNKCE PŘEDZESILOVAČE	- 21 -
4.2 PŘÍKLADY VYSOKORYCHLOSTNÍCH KOMPARÁTORŮ S VYSOKÝM ROZLIŠENÍM	- 22 -
4.2.1 <i>Latch komparátor s předzesilovačem</i>	- 23 -
4.2.2 <i>Šířka pásma komparátoru</i>	- 26 -
4.2.3 <i>Snížení zpoždění komparátoru</i>	- 27 -
4.2.4 <i>Snížení napěťové nesymetrie komparátoru</i>	- 28 -
4.2.5 <i>Vysokorychlostní komparátor s nízkou spotřebou pro A/D převodník</i>	- 31 -
5 NÁVRH KOMPARÁTORŮ CMOS	- 35 -
5.1 DVOUSTUPŇOVÝ KOMPARÁTOR	- 35 -
5.2 LATCH KOMPARÁTORU S PŘEDZESILOVAČEM	- 37 -
5.3 AUTOMATICKÉ RUŠENÍ NAPĚŤOVÉ NESYMETRIE	- 40 -
6 ZÁVĚR	- 43 -
7 LITERATURA	- 44 -
8 SEZNAM POUŽITÝCH SYMBOLŮ, PŘÍLOH	- 46 -
9 PŘÍLOHY	- 48 -

Úvod

Komparátor je elektronická součástka, která má velké využití v obvodech pro převod analogového signálu na digitální. V dnešní době se převod z analogového signálu na digitální signál používá v mnoha oblastech. Jako další využití může být v generátorech napětí, ve zdrojích napětí, u různých spínačů a senzorů.

Tato práce popisuje základní parametry a zapojení komparátoru. V úvodní kapitole je stručně popsáno použití komparátoru, parametry které ovlivňují jeho funkci, jak statické tak dynamické. Uvádí se zde také princip funkce MOSFET tranzistorů, pomocí kterých realizujeme zapojení komparátorů. Zmíněné jsou zapojení proudových zrcadel, které jsou použity v zapojení komparátoru. Druhá kapitola pojednává o zlepšení parametrů komparátoru, přesně o odstranění vstupní napěťové nesymetrie a zavedení zpoždění (hystereze), pro přesnější a bezchybnou práci komparátoru. Jako příklad zapojení komparátoru je ve třetí kapitole uveden dvoustupňový komparátor s otevřenou smyčkou a regenerativní komparátor. Hlavním požadavkem na komparátor je jeho vysoká rychlost. Příklady vysokorychlostních komparátorů jsou v kapitole 4, jedná se o zapojení s předzesilovači a Latch komparátory. V poslední kapitole je uveden návrh komparátoru na tranzistorové úrovni, včetně metody potlačení napěťové nesymetrie. Cílem této práce je potlačit napěťovou nesymetrii na minimum, s tím aby metoda neomezovala vlastní práci komparátoru.

1 Úvod do problematiky

Komparátor je obvod, který porovnává analogový signál s jiným analogovým signálem, nebo referencí. Výstupním signálem je binární signál. Lze říci, že tvoří rozhraní mezi analogovou a číslicovou částí systému. Základem komparátoru je operační zesilovač s tak velkým zesílením, aby část jeho převodní charakteristiky, kde pracuje v lineárním režimu, byla velmi úzká a bylo možno její šířku zanedbat. Existuje mnoho druhů zapojení komparátorů a při použití je třeba zvážit, jaký komparátor, případně operační zesilovač je pro danou aplikaci vhodný. K tomu je nutné prostudovat firemní dokumentaci vyráběných komparátorů, případně OZ:

- podle typu aplikace volíme komparátor se symetrickým napájením nebo s nesymetrickým napájením,
- v závislosti na připojené zátěži volíme komparátory s výstupem typu otevřený kolektor nebo jiným, např. CMOS/TTL, ECL, LVDT apod.,
- výstupy komparátorů typu otevřený kolektor můžeme paralelně spojovat a následně tak vytvářet tak logické funkce typu log. součin,
- rozsah diferenčního vstupního napětí souvisí mimo jiné s velikostí napájecího napětí [2].

1.1 Příklady použití komparátorů

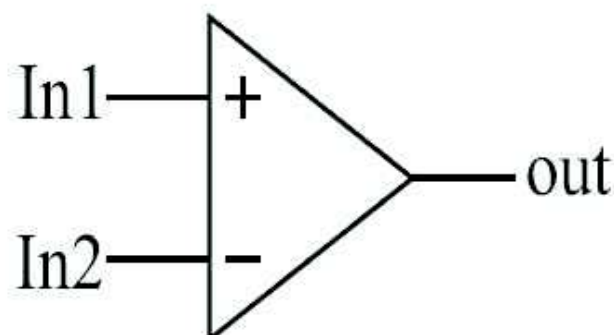
Komparátory se používají v mnoha elektronických obvodech, zejména pak v obvodech digitálních, kde převádí analogový signál na digitální s kterým je pak dále zpracováván. Podle toho kde se komparátory uplatňují, je také kladen důraz na jejich parametry, rychlost překlopení, spotřeba a další.

- analogově číslicové a číslicově analogové převodníky,
- napájecí zdroje,
- impulsní generátory,
- regulátory,
- úrovně detektory- detekce, zda napětí na výstupech senzorů jsou nad nebo pod stanovenou mezí (např. senzory teploty, tlaku, osvětlení, monitorování stavu nabití baterií přenosných zařízení apod.) [2].

Je vidět, že komparátory mají široké použití v mnoha aplikačních oblastech elektroniky.

1.2 Parametry komparátoru

Komparátor má mnoho stejných vlastností jako vysoce výkonný zesilovač.



Obr. 1 Symbol komparátoru

Na obr. 1 je znázorněn symbol komparátoru, na jehož vstup přivádíme signály $In1$ a $In2$, které komparátor porovnává. A to tak, že pokud rozdíl $In2 - In1$ bude kladná hodnota (to znamená, že $In2$ je větší než $In1$) komparátor vyhodnotí kladnou výstupní hodnotu. Pokud vstupní signál $In1$ bude větší než hodnota signálu $In2$, rozdíl $In2 - In1$ je záporný a na výstup komparátoru bude také záporné napětí. Kladná a záporná hodnota na výstupu komparátoru je dána podle napájecího napětí komparátoru.

1.2.1 Statické vlastnosti

Statické vlastnosti komparátoru jsou velice důležité a ovlivňují funkci komparátoru. Je nutné, při návrhu komparátorů s těmito vlastnostmi počítat. Při jejich zanedbání, by docházelo k tomu, že by komparátor nefungoval správně, nebo jinak než je potřeba.

Míra zesílení

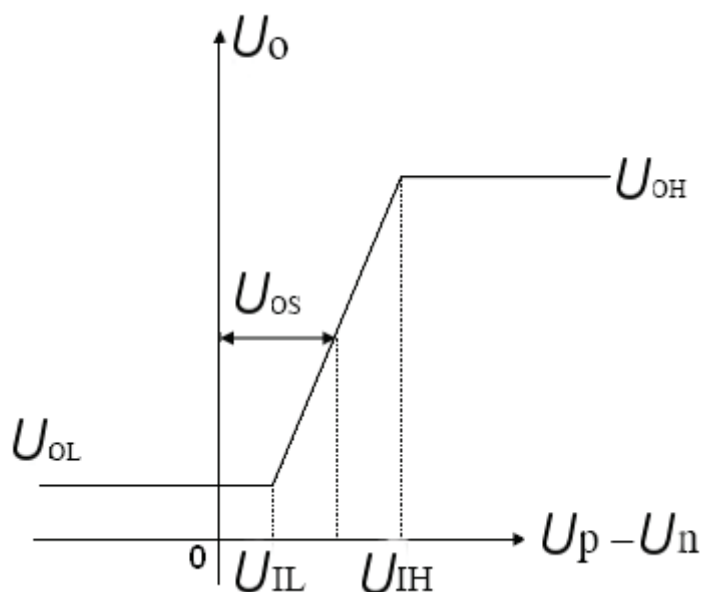
Je velmi důležitou vlastností komparátoru, která definuje minimální velikost vstupního napětí, které je třeba přivést na vstup komparátoru, aby se výstupní napětí nastavovalo do správných hodnot. Míra zesílení je uvedena v rovnici 1.

$$A_V = \frac{U_{OH} - U_{OL}}{U_{IH} - U_{IL}} \quad (1)$$

Hodnoty U_{OH} a U_{OL} jsou výstupní hodnoty napětí, do kterých se překlápí výstup komparátoru. Většinou jsou to hodnoty blízké napájecímu napětí komparátoru. Hodnota U_{IH} je brána jako vstupní napětí, které je vyšší než hodnota napětí na druhém vstupu U_{IL} .

Vstupní napěťová nesymetrie

Vstupní napěťová nesymetrie může být nulová, to když se na vstup komparátoru přivedou shodná napětí a na výstupu bude nulové napětí. Nenulová vstupní napěťová nesymetrie se pozná, že při shodě napětí na vstupu není nulové napětí na výstupu. Vstupní napěťovou nesymetrii by nebylo nutné řešit, pokud by se dokázala předurčit její hodnota. Její hodnota však není známá, napěťová nesymetrie může být důsledkem nevyhnutelných neshod v geometrických rozměrech tranzistorů a technologických parametrů [13]. Na následujícím obrázku je napěťová nesymetrie U_{OS} znázorněna.



Obr. 2 Napěťová nesymetrie v převodní charakteristice

Na obr. 2 je znázorněna napěťová nesymetrie U_{OS} , která nabývá v tomto případě kladné hodnoty. U_{IL} značí nízkou hodnotu vstupního napětí, U_{IH} vysokou hodnotu vstupního napětí, U_{OL} a U_{OH} jsou hodnoty nízké a vysoké úrovně výstupního napětí.

Parametr ICMR (input common-mode range)

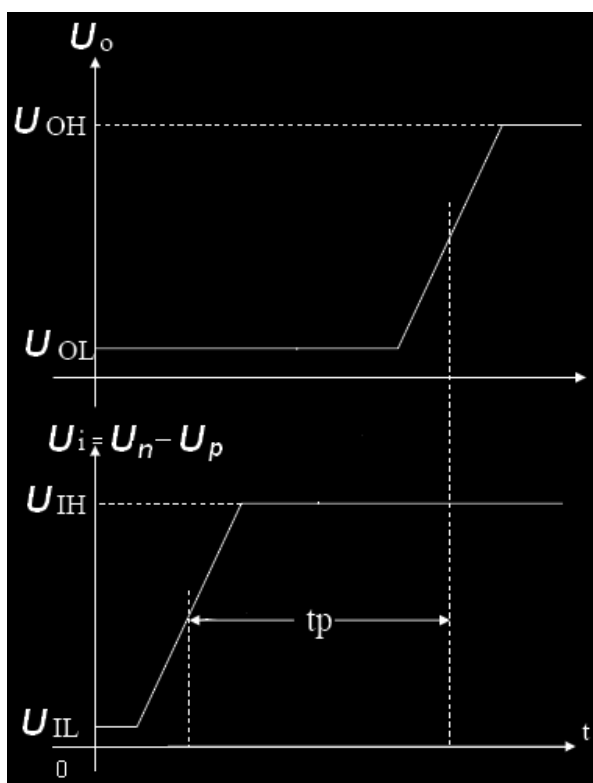
Tento parametr určuje rozsah vstupního napětí, ve kterém je zesilovač schopen zesilovat diferenční napětí s požadovaným zesílením. Snažíme se, aby rozsah vstupního napětí byl co největší.

1.2.2 Dynamické vlastnosti

Dynamické vlastnosti komparátoru určují, jak rychle dokáže výstup komparátoru reagovat na změnu signálu na jeho vstupu.

Časové zpoždění výstupu komparátoru

Změna napětí na vstup komparátoru, vyvolá změnu na výstupu. Tato změna se může na výstupu projevit až za určitou dobu. Je to velmi důležitý parametr, který se při funkci komparátoru mění podle vstupních hodnot. Pokud rozsah vstupního napětí je v ICMR (input common-mode range), je časové zpoždění konstantní.



Obr. 3 Časové zpoždění výstupu

Na obr. 3 je znázorněné zpoždění výstupu komparátoru o hodnotu t_p . Je snahou, aby zpoždění výstupu komparátoru bylo co nejmenší.

Rychlost přeběhu (slew rate)

Pokud na vstupu komparátoru bude dostatečně velká hodnota napětí, velikost zpoždění na výstupu bude dána jeho rychlostí přeběhu. Rychlost přeběhu vzniká díky omezenému proudu, který nabíjí nebo vybíjí parazitní kapacity ve vnitřním zapojení komparátoru. Jestliže je časové zpoždění výstupu předurčeno rychlostí přeběhu komparátoru, pak tento čas můžeme zapsat jako v rovnici 2.

$$t_p = \Delta T = \frac{\Delta U}{SR} = \frac{U_{OH} - U_{OL}}{2 \cdot SR}, \quad (2)$$

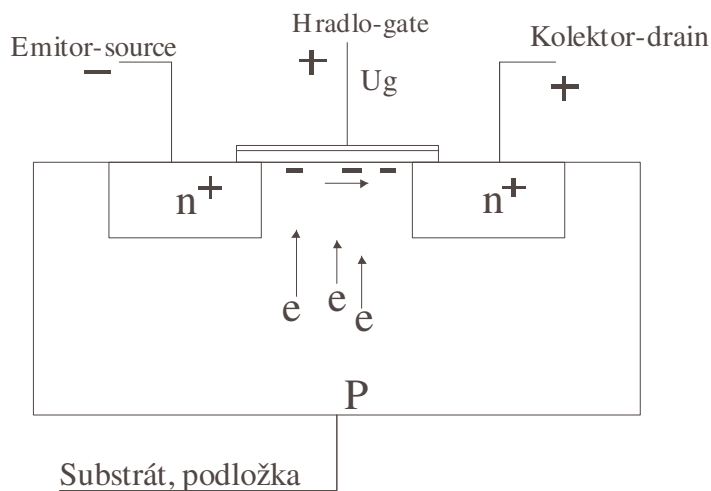
kde ΔT znamená, jak dlouho komparátoru trvá přechod z jednoho stavu na výstupu do druhého. To je dáno velikostí rozdílu výstupních stavů napětí $U_{OH} - U_{OL} = \Delta U$ a již zmíněné rychlosti přeběhu SR.

1.3 Technologie CMOS

Technologie CMOS (Complementary Metal-Oxide-Semiconductor, komplementární kov-oxid-polovodič) je používán na převážnou většinu integrovaných obvodů. Mezi nejdůležitější vlastnosti CMOS patří vysoká odolnost proti šumu a nízká spotřeba ve statickém režimu. Více energie se spotřebovává pouze na přepínání mezi stavy tranzistoru, proto CMOS nespotřebovává tolik energie jako jiné technologie. CMOS také umožňuje vyšší hustotu prvků na čipu.

1.3.1 MOSFET tranzistory

MOSFET tranzistory jsou dnes nejpoužívanější tranzistory v integrovaných obvodech, jejich velikosti se stále zmenšují a proto ceny nejsou vysoké.



Obr. 4 Princip činnosti tranzistoru MOSFET

Rozeznáváme MOSFET tranzistory s kanálem typu P nebo N. Řídící elektroda je kovová a je od základny (substrátu) oddělena tenkou izolační vrstvou.

Funkce tranzistoru MOSFET

Na kolektoru je kladné napětí, na emitoru je záporné napětí, na řídicí elektrodu není přiloženo napětí $U_g=0$ - mezi emitorem a kolektorem neprochází proud, tranzistor je nevodivý.

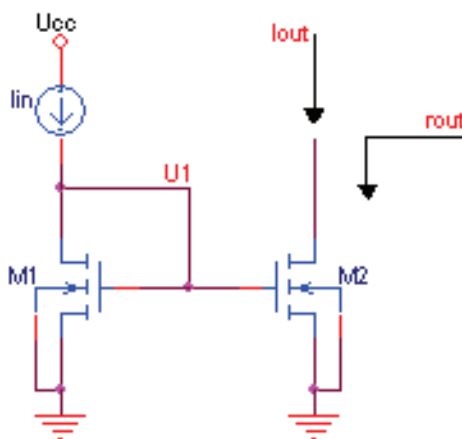
Na kolektoru je kladné napětí, záporné napětí na emitoru, na řídicí elektrodu přiloženo kladné napětí U_g - tím napětím jsou řídicí elektrodou přitahovány volné elektrony ze substrátu a vytvoří tak vodivou cestu mezi K a E. Mezi E a K prochází proud tím větší, čím je větší řídicí napětí. Je to tranzistor s obohaceným kanálem typu N. Tento typ tranzistoru nese základ tzv. technologie typu NMOS.

Stejným způsobem pracuje i tranzistor typu PMOS – s kanálem typu P (opačná polarita napětí). Tato technologie se samostatně moc nepoužívá, jelikož díry jsou pomalejší než elektrony a tranzistory mají horší vlastnosti.

1.4 Proudové zrcadlo

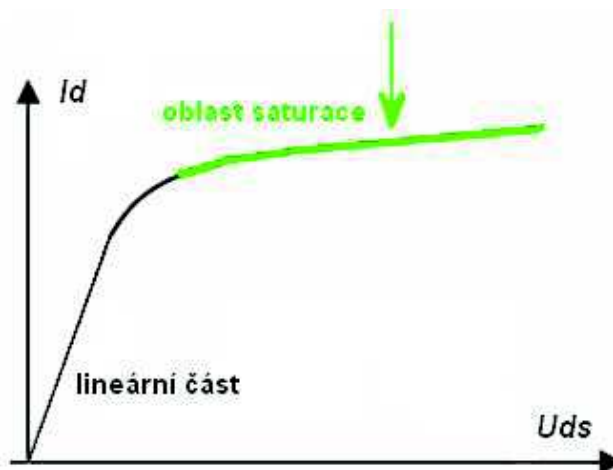
Ideálním proudovým zrcadlem rozumíme zdroj proudu řízeným proudem, u kterého se referenční proud tekoucí v jedné větvi odvodu reprodukuje (zrcadlí) v jeho druhé větvi. Přičemž výstupní proud bude konstantní bez ohledu na zatížení. Ve skutečnosti proudové zrcadlo není schopno plnit přesně funkci zdroje proudu řízeného proudem.

Výstupní impedance není nekonečná, dynamický rozsah a rychlost má konečnou velikost, vstupní impedance není nulová.



Obr. 5 Zapojení jednoduchého proudového zrcadla s N-MOS tranzistory

Základní proudové zrcadlo je provedeno pomocí tranzistorů MOSFET, jak znázorňuje obr. 5 Tranzistor M1 a M2 pracují v oblasti saturace.



Obr. 6 Výstupní charakteristika MOSFET tranzistoru

Jednoduché proudové zrcadlo je složeno ze dvou tranzistorů stejného typu. Tranzistor M1 je zapojen v diodovém zapojení a měří vstupní, referenční, proud. Proud tekoucí tranzistorem M1 určuje napětí U_{GS1} , toto napětí zároveň nastavuje pracovní bod tranzistoru M2

Předpokládá se, že oba tranzistory pracují v saturačním režimu. Proud, který tranzistory protékají, lze vypočítat z rovnice 3 a rovnice 4.

$$I_{in} = I_1 = \frac{\mu C_{OX}}{2} \cdot \left(\frac{W}{L}\right)_1 \cdot (U_{GS} - U_T)^2 \cdot (1 + \lambda U_{DS1}). \quad (3)$$

Kde C_{OX} značí parazitní kapacitu přechodu, U_{GS} je napětí na gate-source, U_T prahové napětí tranzistoru, W a L představují šířku a délku tranzistorů.

Pro výstupní proud, který nastavuje tranzistor M2, platí

$$I_{out} = I_2 = \frac{\mu C_{OX}}{2} \cdot \left(\frac{W}{L}\right)_2 \cdot (U_{GS} - U_T)^2 \cdot (1 + \lambda U_{DS1}). \quad (4)$$

Tyto rovnice umožňují vyjádřit velikost proudu I_{out} jako funkci závislou na I_{in} , U_{DS1} a U_{out} . Pro zjednodušení se předpokládá, že $\lambda U_{DS1} = 0$. Potom se může jednoduše vyjádřit U_{GS1} a dosadit tento výraz do druhé rovnice 5.

$$I_{OUT} = \frac{(W/L)_2}{(W/L)_1} \cdot (1 + \lambda U_{DS1}). \quad (5)$$

Z této rovnice se při zanedbání λU_{out} lze odvodit, že bude-li velikost (W/L) obou tranzistorů shodná, budou stejné i jejich pracovní podmínky a proudy I_{in} a I_{out} budou shodné. Pokud je požadováno, aby proudové zrcadlo kopírovalo vstupní proud I_{in} na výstup I_{out} co nejpřesněji, je potřeba volit tranzistory co s největším odporem. Vztah je uveden v rovnici 6.

$$r_{out} = \frac{1}{\lambda I_{out}}. \quad (6)$$

Pro zlepšení vlastností jednoduchého proudového zrcadla, například zmenšení vstupního odporu, zvýšení výstupního odporu, zvýšení výstupního napěťového rozsahu atd. Jsou známé další zapojení.

- wilsonovo proudové zrcadlo,
- vylepšené wilsonovo proudové zrcadlo,
- kaskádové proudové zrcadlo,
- modifikované kaskádové proudové zrcadlo.

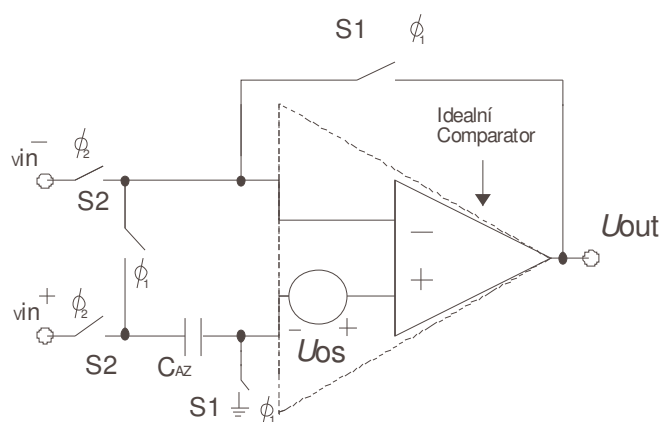
2 Zlepšení parametrů komparátoru

Na komparátor jsou kladeny vysoké nároky nejen na jeho rychlost zpracování vstupních signálů na výstup, ale také přesnost, kdy má výstupní stav překlopit, to znamená odstranění napěťové nesymetrie. Dále je třeba, aby dokázal správně pracovat se signály zašuměnými vysokofrekvenční složkou. Proto, aby mohl správně pracovat s těmito signály, je potřeba samotný komparátor doplnit o další obvody.

2.1 Samovynulování

Vstupní napěťová nesymetrie může být při konstrukci komparátoru zvlášť velkým problémem. V aplikacích jako jsou například A/D převodníky s vysokým rozlišením nemohou být velké vstupní napěťové nesymetrie tolerovány.

V CMOS technologii existují techniky, jak odstranit velkou část vstupní napěťové nesymetrie. Tyto techniky jsou dostupné v CMOS kvůli téměř nekonečnému vstupnímu odporu CMOS tranzistorů. Tato vlastnost dovoluje dlouhodobé akumulování napětí na hradle (gate) tranzistoru. Výsledkem je, že napěťová nesymetrie lze změřit, akumulovat na kondenzátorech a spočítat se vstupem tak, aby byla potlačena. Praktická realizace samovynulování komparátorů s diferenčním vstupem je na obr. 7.



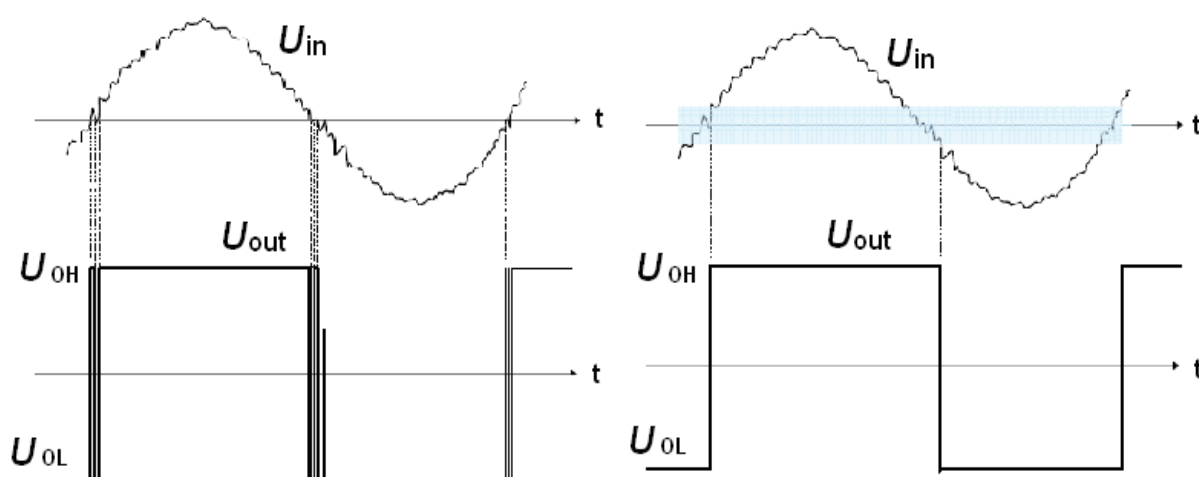
Obr. 7 Samovynulování komparátoru

Komparátor je znázorněn se zdrojem napěťové nesymetrie. Při sepnutém spínači S1 je obvod v 1. fázi cyklu. Napěťová nesymetrie je akumulována přes C_{AZ} . V 2. fázi samovynulovacího cyklu, kdy je sepnut spínač S2, napěťová nesymetrie je rušena přidáním U_{OS} na C_{AZ} . V této části cyklu funguje obvod jako komparátor.

2.2 Zavedení hystereze

Často je komparátor umístěn ve velmi rušivém prostředí, v němž musí detekovat přechody signálu u prahového bodu. Je-li komparátor dost rychlý, to záleží na frekvenci převažujícího šumu a amplituda šumu dost velká, bude výstup také v šumu. V této situaci je potřebná v komparátoru hystereze.

Na následujícím obr. 8 je zobrazen rozdíl komparátoru s hysterezí a bez hystereze. Je vidět, že výstup u komparátoru bez hystereze nepracuje správně.

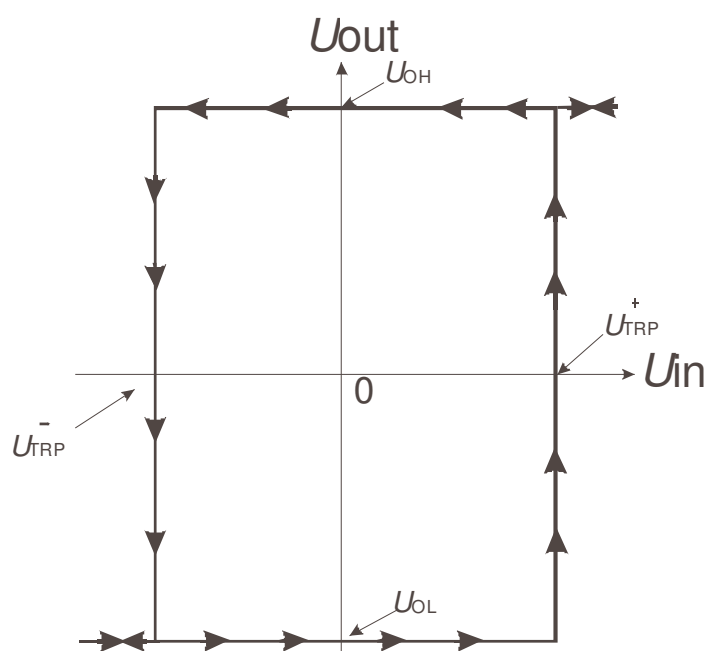


Obr. 8 Komparátor bez hystereze a s hysterezí

Hystereze je vlastnost komparátoru, v němž se vstupní práh mění jako funkce vstupní nebo výstupní úrovně. Zvlášť když vstup překračuje prahové napětí, výstup se mění a vstupní prahové napětí je následně redukováno, takže vstupní napětí se vrací zpět na předešlý stav, s tím že výstup reaguje na jinou hodnotu prahového napětí.

Je patrné, že když vstup začíná v záporné části a stoupá ke kladným hodnotám, výstup se nezmění, dokud nedosáhneme kladného bodu U_{TRP}^+ . Když se vstup vrátí do záporného směru, výstup se nepřepne, dokud nedosáhneme záporného U_{TRP}^- .

Citlivost komparátoru může být zlepšena přidáním hystereze, která je rovna, nebo je větší než hodnota největší očekávané amplitudy šumu. Funkce přechodu na obr. 9 se nazývá bistabilní charakteristika.



Obr. 9 Přechodová křivka s hysterezí

Bistabilní charakteristika je definována svou šířkou, výškou a tím, zda jde po nebo proti směru hodinových ručiček. Šířka je dána rozdílem mezi U_{TRP}^+ a U_{TRP}^- .

Výška je všeobecně rozdíl mezi U_{OH} a U_{OL} . Kromě toho může být bistabilní charakteristika změněna horizontálně doleva nebo doprava přidáním stejnosměrné napěťové nesymetrie.

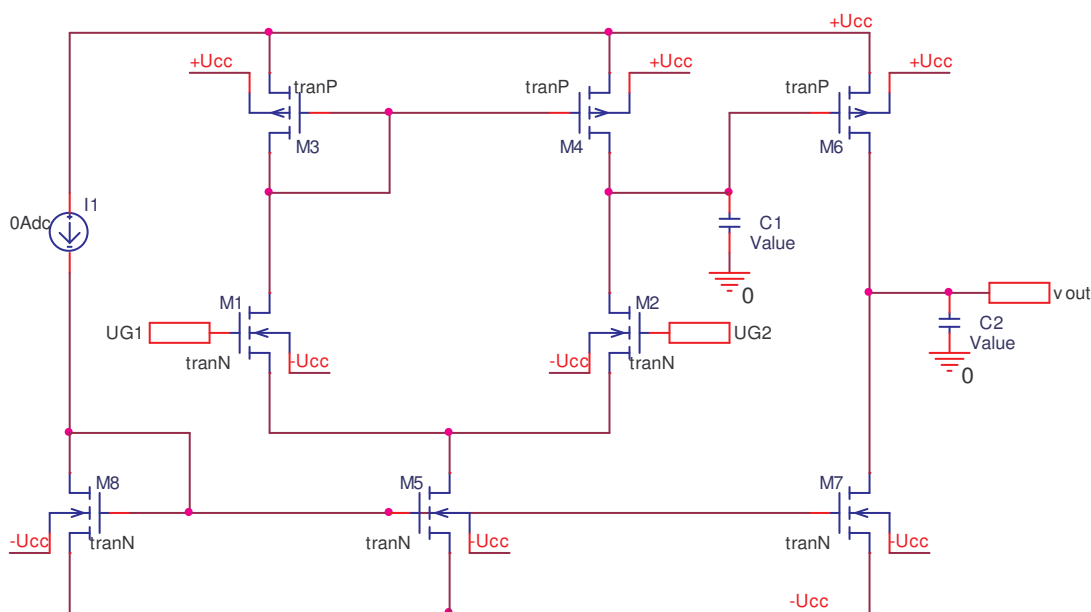
Je mnoho způsobů, jak vytvořit hysterezi v komparátoru. Všechny používají nějakou formu pozitivní zpětné vazby. Metody se mohou rozdělit na vnější a vnitřní zapojení. Vnější hystereze využívá vnější kladné zpětné vazby k provedení hystereze. Pro aplikaci této zpětné vazby se dají použít rezistory, kterými se dá nastavit potřebná šířka hystereze. Takto navržená zpětná vazba se tedy dá nastavovat, výměnou jednotlivých rezistorů, nebo použít potenciometr. Interní hystereze se provádí do vnitřního zapojení komparátoru, proto nevyžaduje vnější zpětnou vazbu. Ušetří tak místo při realizaci komparátoru v obvodu. Na druhou stranu je náročnější její přednastavení.

3 Příklady zapojení komparátorů

Jako první příklad zapojení je uvedený dvoustupňový komparátor s otevřenou smyčkou. Jedná se o zapojení dvoustupňového operačního zesilovače bez záporné zpětné vazby. Protože nemá zpětnou vazbu, nemusí se řešit kompenzace, takže má největší možnou šířku frekvenčního pásma. Druhý příklad zapojení je regenerativní komparátor, jinak také nazývaný bistabilní komparátor. Využívá pozitivní zpětné vazby k dosažení srovnání dvou signálů.

3.1 Dvoustupňový komparátor s otevřenou smyčkou

Návrh dvoustupňového komparátoru s otevřenou smyčkou je v mnoha ohledech podobný dvoustupňovému zesilovači. Primární rozdíl je, že komparátor není kompenzován. Typické vstupní specifikace zahrnují časové zpoždění, spotřebu a vstupní, výstupní napěťový rozsah.



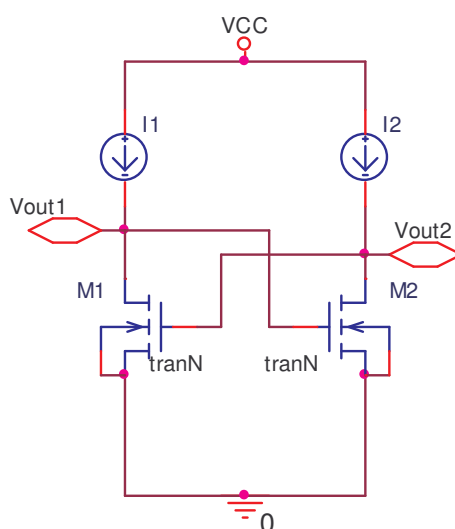
Obr. 10 Dvoustupňový komparátor s otevřenou smyčkou

Komparátor na obr. 10 se skládá ze vstupního diferenčního páru, který je tvořen tranzistory M1 a M2. Jako aktivní zátěž slouží tranzistory M3 a M4. Celkový proud tekoucí tímto zesilovačem je dán proudovým zdrojem I1, který je zrcadlen tranzistory M5 a M7 do příslušných stupňů. Kapacita mezi prvním a druhým stupněm komparátoru, nám simuluje parazitní kapacitu vzniklou v uzlu, kde se projevují parazitní kapacity tranzistorů M2, M4, M6.

3.2 Regenerativní (bistabilní) komparátor

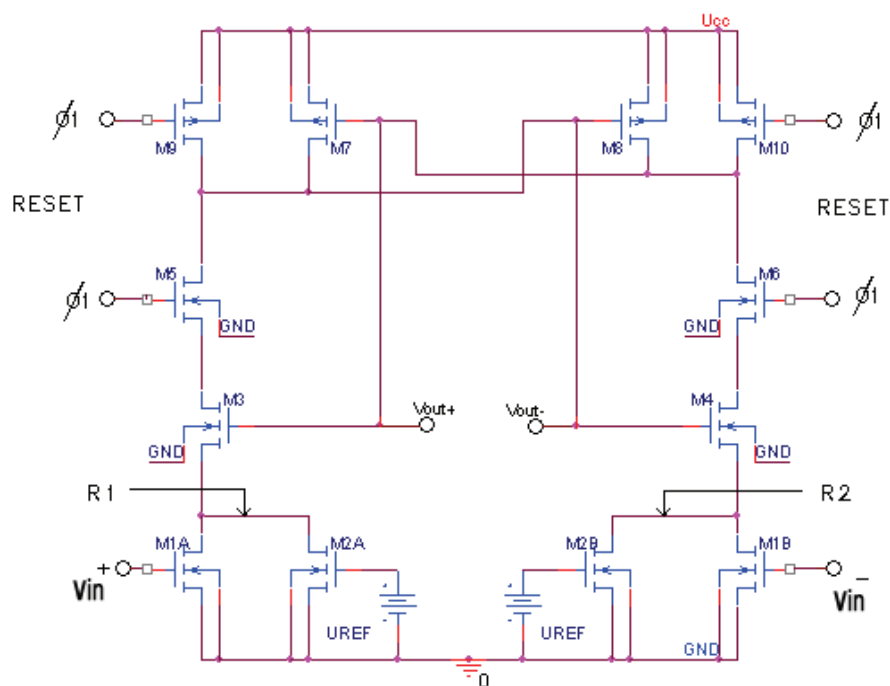
Regenerativní komparátor využívá zpětnou vazbu. Někdy se také nazývá bistabilní nebo anglicky latch. Nejjednodušší forma je na obrázku obr. 11 a skládá se ze dvou křížově párovaných MOS tranzistorů. Zdroje/poklesy proudu jsou použity k identifikaci stejnosměrných proudů do tranzistorů. Regenerativní komparátor má dva pracovní stavy. První stav znemožňuje kladnou zpětnou vazbu, což znamená, že proudy I_1 a I_2 jsou stejné a tranzistory M1 a M2 jsou ve stejném stavu. Vstupní hodnoty napětí se dostávají do terminálů označovaných v_{Out1} a v_{Out2} .

Druhý způsob umožňuje překlopení, jeden proud bude větší než druhý a tranzistory M1 a M2 bude každý v jiném stavu. Což znamená, že jeden z výstupů se zvýší a druhý se sníží. K předurčení způsobu práce je používán dvoufázový hodinový signál.



Obr. 11 Regenerativní komparátor s NMOS tranzistory

Praktický regenerativní komparátor viz obr. 12 [1]. M7 a M8 jsou tranzistory tvořící kladnou zpětnou vazbu, v tomto případě PMOS. Tranzistory M9 a M10 jsou použity ke znovu-nastavení kladné zpětné vazby, nařízením source-drain napětí M7 a M8 na nulovou hodnotu. Vstup do bistabilního komparátoru je aplikován k branám M1A a M1B. Tranzistory M1A, M1B, M2A a M2B operují v triodové oblasti. Hodnoty vstupů způsobí, že odpor viděný zdroji M3 a M4 se k zemi mění. Když je umožněna závora, drainy M3 a M4 jsou spojeny s výstupy komparátoru. M3 a M4 vytvoří paralelní dráhu pozitivní zpětné vazby pro komparátor. Zisk dráhy zpětné vazby M3 a M4 závisí na hodnotě rezistoru R1 nebo R2.



Obr. 12 Praktický regenerativní komparátor

Je-li rezistor malý, zisk je velký a tato strana komparátoru se zvýší. Když se zvýší reset bistabilního komparátoru, přechází do svého regenerativního modu. Drainové proudy M5 a M6 jsou řízeny tak, aby docílily finálního stavu předurčeného nevhodným spojením mezi odpory R1 a R2.

4 Vysokorychlostní komparátory

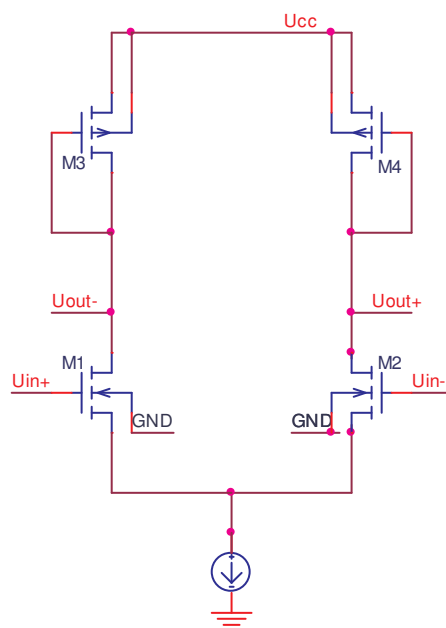
Vysokorychlostní komparátor, by měl mít časové zpoždění výstupu co nejmenší. Základním principem u vysokorychlostního komparátoru je použití předzesilovač, abychom zvýšili vstupní změnu na dostatečně velkou hodnotu.

4.1 Funkce předzesilovače

Konstrukce předzesilovače musí být navržena tak, aby se požadovaného vstupního napětí komparátoru dosáhlo v minimálním čase. Protože předzesilovač pracuje v lineární oblasti, znamená to, že šířka kmitočtového pásma musí být co největší. Je snahou docílit toho, aby šířka kmitočtového pásma zesilovače byla konstantní co možná v nejširším pásmu, toho je možné docílit pomocí záporné zpětné vazby, která na druhou stranu snižuje zesílení předzesilovače. Proto má jednotlivý zesilovač omezenou schopnost. Jsou-li nízkofrekvenční širokopásmové zesilovače řazeny kaskádně, čas zpoždění t_1 může být minimalizován.

Ve skutečnosti se ukázalo, že optimální počet identických nízkofrekvenčních zesilovačů je 6, každý se ziskem 2,72 [1]. Avšak, toto optimum je velmi široké a 3 zesilovače každý se ziskem 6 dávají stejně dobré vlastnosti s menší plochou.

Použití předzesilovače před komparátor má také tu výhodu, že redukuje vstupní napěťovou nesymetrii komparátoru ziskem předzesilovače. Vstupní napěťová nesymetrie komparátoru se nyní stane vstupním napěťovou nesymetrií předzesilovače, které může být samovynulována [5]. Příklad zapojení předzesilovače je znázorněn na obr. 13.



Obr .13 Příklad zapojení předzesilovače

Zesílení předzesilovače lze vypočítat z transkonduktance tranzistorů M1 a M3 viz rovnice 7. Zátěž v tomto zapojení tvoří PMOS tranzistory v triodovém zapojení.

$$A_u = \frac{gm1}{gm3}. \quad (7)$$

4.2 Příklady vysokorychlostních komparátorů s nízkou napěťovou nesymetrií

V této kapitole budeme popisovat vysokorychlostní komparátor s nízkou napěťovou nesymetrií. Jako vysokorychlostní komparátor můžeme použít několik typů zapojení.

Například víceúrovňový komparátor s otevřenou smyčkou, tento komparátor může získat vysokou rychlost a dobrou přesnost díky nízké napěťové nesymetrii, avšak pro frekvence větší než je 1GHz je toto zapojení nedostačující. Důvod frekvenčního omezení je šířka pásma zesilovače, který v tomto případě tvoří diferenční pár s aktivní zátěží.

Další používané zapojení je dynamický Latch komparátor, který je schopen pracovat na vysokých frekvencích, nicméně napěťová nesymetrie je velmi vysoké a komparátor nemá potřebné rozlišení.

Jako poslední zapojení, které bude zmíněno je Latch komparátor s předzesilovačem, toto zapojení je kombinací zesilovače a Latch komparátoru. Zesilovač, který se přidává do Latch komparátoru, může snížit napět'ovou nesymetrii, proto může toto zapojení získat vysokou rychlost a vysoké rozlišení.

Návrh vysokorychlostního Latch komparátoru s předzesilovačem, můžeme zapojit ze tří fází, ze vstupního předzesilovače, Latch komparátoru a výstupního bufferu viz obr. 16. Předzesilovač zesílí vstupní signál ke zlepšení citlivosti a izoluje vstup komparátoru, což znamená, že napět'ová nesymetrie zůstává na předzesilovači a nemá takový vliv v Latch komparátoru. Latch komparátor určuje, který ze vstupních signálů je větší a zesiluje jejich rozdíl. Jako koncová část je zapojen výstupní buffer, který zesiluje informaci z Latch komparátoru a vytváří digitální signál [11]. V našem zapojení tvoří výstupní buffer další latch komparátor, který nastavuje výstupní signál na patřičné úrovni.

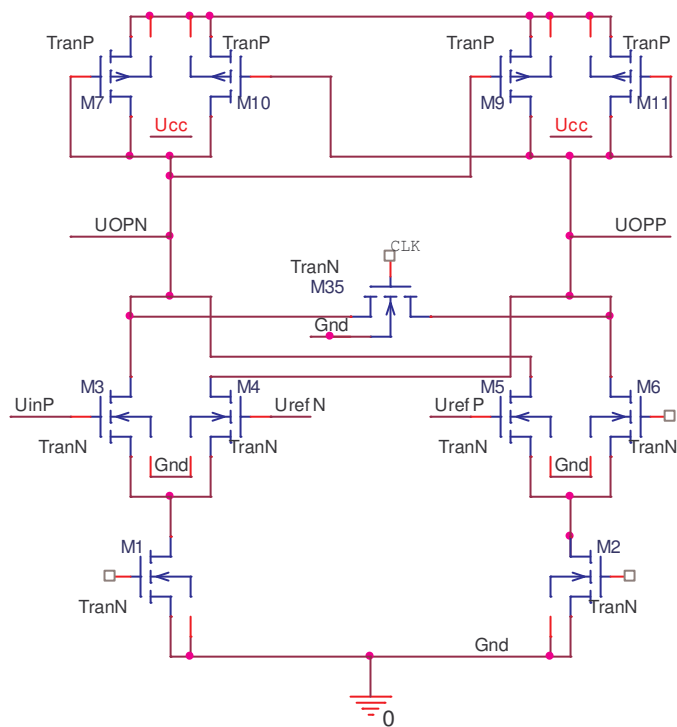


Obr. 14 Blokové schéma Latch komparátoru s předzesilovačem

4.2.1 Latch komparátor s předzesilovačem

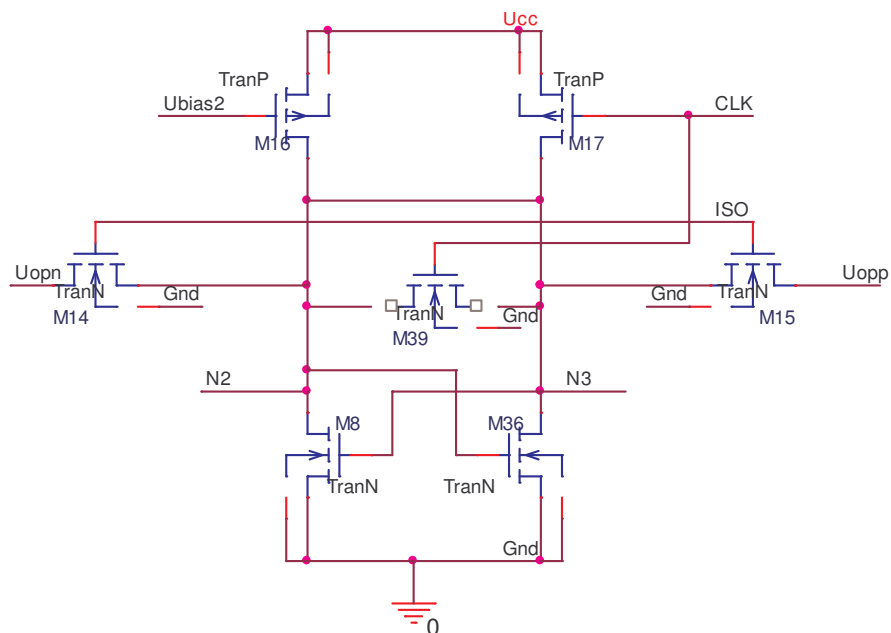
Výhodou tohoto zapojení je, že porovnání vstupního napětí s referenčním je spojitě a není třeba časové prodlevy pro nastavení rozdílného napětí mezi vstupním a referenčním napětím před zesílením. Výsledná hodnota napětí, jsou zesílený rozdíly $U_{inP} - U_{refN}$ a $U_{inN} - U_{refP}$, které jsou nakonec sečteny. Zdroj napět'ové nesymetrie v daném předzesilovači, jsou odlišné parametry vstupních tranzistorů každé diferenciální dvojice, a také mezi oběma diferenciálními páry. V porovnání s návrhem dvoustupového předzesilovače, je napět'ová nesymetrie zvýšena o faktor $\sqrt{2}$.

Daný komparátor se skládá z duálního diferenciálního předzesilovače, který je znázorněn na obr. 15, na něj je přiveden rozdílný vstupní signál, tento signál je zesílen a tím se redukuje napět'ová nesymetrie.



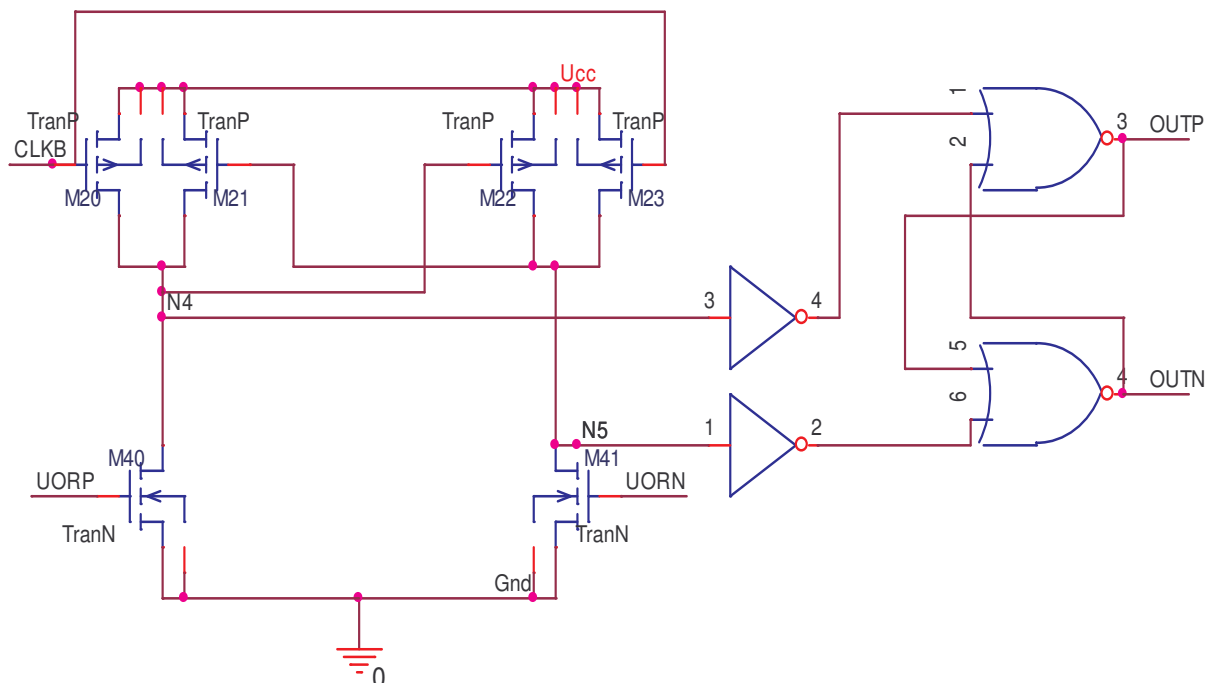
Obr. 15 Dvojitý diferenciální předzesilovač

Další část komparátoru tvoří regenerativní Latch obr. 16, který porovnává vstupní signály, pomocí kladné zpětné vazby.



Obr. 16 Regenerativní Latch

Poslední blok komparátoru pracuje jako výstupní Latch obr. 17. Tento blok koordinuje konečný výstupní signál komparátoru, během stálé práce v regenerativním režimu.



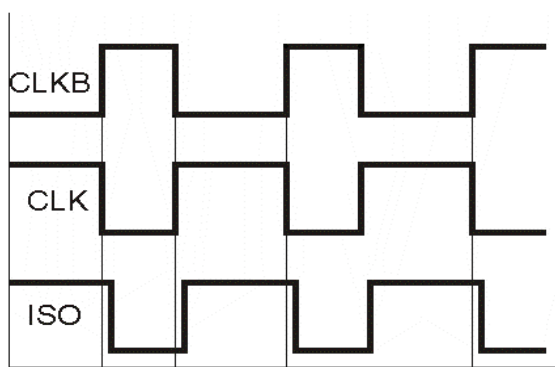
Obr. 17 výstupní Latch

Funkce komparátoru může být popsána následovně. Pokud bude hodnota hodinového signálu CLK vysoká a hodnota hodinového signálu CLKB nízká, tranzistory M7, M13, M14, M20 a M23 budou v sepnutém stavu. Komparátor bude pracovat v obnovovacím režimu, v tomto okamžiku výstup předzesilovače U_{opn} a U_{opp} bude nastaven na stejné úrovni, stejně nastaveny budou také výstupní uzly regenerativního stupně N2 a N3. Uzly N4 a N5 výstupní části Latch budou nastaveny stejnou hodnotou pro obnovovací režim (resetovány hodnotou U_{cc}). Uzel N1 zůstává nastaven na vysoké úrovni díky pracovnímu proudu tekoucím tranzistorem M15.

Při změně hodinových signálů CLK na nízkou hodnotu a CLKB na hodnotu vysokou, tranzistory M7, M13, M20 a M23 přechází ze sepnutého stavu do stavu rozepnutého. Předzesilovač začne zesilovat vstupní rozdílné signály U_{inn} a U_{inp} , na jeho výstupu začne generovat signály U_{opn} a U_{app} .

Regenerační Latch obdrží z výstupu předzesilovače signály, přes tranzistory M14 a M15, které právě pracují v sepnutém režimu. Kladná zpětná vazba, složená z tranzistorů M11 a M12, bude na jedné straně výstupu nastavená do nízké úrovně, strana druhá bude na úrovni vysoké. Tyto nastavené hodnoty v uzlech N2 a N3 jsou odeslány do výstupního Latch. Výstupní Latch znovu zpracovává příchozí signály pomocí další kladné zpětné vazby. Tato zpětná vazba je složená z tranzistorů M21 a M22. Vytvořené výstupní signály jsou nakonec z uzlů N4 a N5 vyslány do koncového RS-klopného obvodu.

Hodinový signál ISO, pomocí NMOS tranzistorů M14 a M15, izoluje předzesilovač od regenerativního Latch při reset režimu. Zmiňované průběhy hodinových signálů jsou znázorněny v obrázku 18 [8].

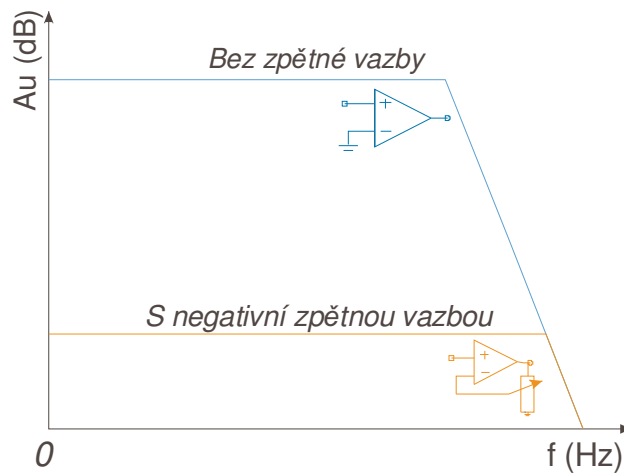


Obr. 18 Průběhy hodinových signálů

Při práci komparátoru v regeneračním režimu potřebujeme tranzistorem M17 generovat velký dynamický proud, tím zvyšujeme celkovou spotřebu komparátoru. Proto, v tomto režimu navrhujeme hladinu nízké úrovně hodinového signálu CLK tak, aby poskytovaly obě nesymetrické výstupní napětí uzlů N2 a N3 hladinu napětí mezi nízkou a vysokou úrovní výstupního signálu. Konečný výstupní signál o správných hodnotách budou generovány až výstupním Latch. Tímto způsobem snížíme dynamickou spotřebu komparátoru[8].

4.2.2 Šířka pásma komparátoru

Ve vysokorychlostních komparátorech se snažíme navrhnout předzesilovače tak, aby jejich šířka pásma byla co největší. Velká šířka pásma nám zaručuje v širokém frekvenčním pásmu dostatečné zesílení vstupního signálu. V tomto zapojení je navržená zpětná vazba skládající se z PMOS tranzistorů M8,M9 které plní úlohu rezistorů záporné zpětné vazby a k nim paralelně zapojeny PMOS tranzistory M7 a M10 v diodovém režimu. Se zavedením záporné zpětné vazby se zmenší zesílení vstupního signálu, ale velikost šířky pásma se zvětší, viz obr. 19.



Obr. 19 Šířka pásma se zpětnou a bez zpětné vazby

Zesílení předzesilovače můžeme počítat z rovnice (14)[8].

$$A_v = \frac{gm_3}{gm_7 - gm_8}. \quad (8)$$

Kde gm_3 , gm_7 a gm_8 jsou transkonduktance MOS tranzistorů M3, M7 a M8. Z rovnice můžeme vidět, že velkého zesílení dosáhneme, pokud transkonduktance tranzistorů M7 a M8 nebudou od sebe odlišné. To znamená, že velikosti tranzistorů můžeme volit malé a tím snížíme velikost vstupní kapacity.

4.2.3 Snížení zpoždění komparátoru

Zpoždění komparátoru patří mezi jeden z nejdůležitějších dynamických parametrů komparátoru. Pokud je doba zpoždění určena rychlostí přeběhu komparátoru, pak tento čas můžeme vypočítat podle rovnice 2 v kapitole dynamické vlastnosti komparátoru.

Tranzistory M11 a M12 použity v regenerativním Latch, by měly mít velikosti kanálů navrženy malé, pro zvýšení rychlosti práce regenerativního Latch. To je vidět v rovnici 15, kde W , L jsou rozměry kanálu tranzistoru a I počáteční proud.

$$\tau_L = 0.67 C_{ox} \sqrt{\frac{WL^3}{2K'I}}. \quad (9)$$

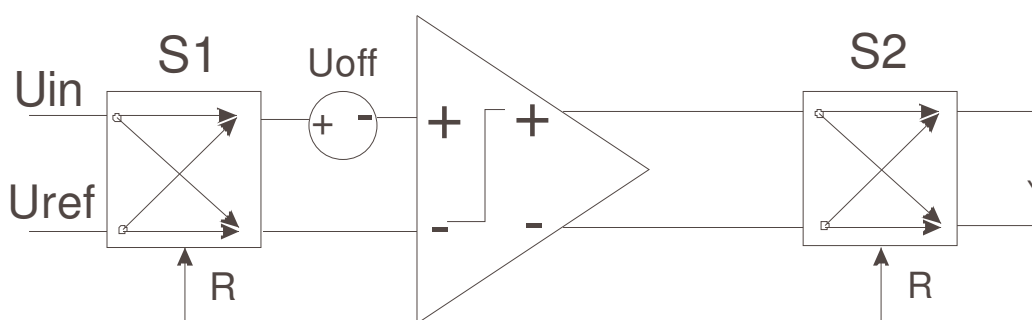
Z rovnice můžeme také vidět, že velký počáteční proud také snižuje dobu zpoždění, nicméně velký počáteční proud zvyšuje celkovou spotřebu komparátoru. Tranzistor M16 umožňuje, aby na uzlu N1 při reset režimu komparátoru, bylo dostatečně velké napětí, takže čas pro reset režim regeneračního Latch bude snížen a dynamický proud tekoucí tranzistorem M17 se bude měnit rychleji.

4.2.4 Snížení napěťové nesymetrie komparátoru

Napěťová nesymetrie komparátoru je složena hlavně z napětí na předzesilovači a na regeneračním Latch. Podle fáze v které komparátor právě pracuje, se napěťová nesymetrie mění mezi dvěma místy. Pokud komparátor pracuje ve fázi kdy tranzistory M14 a M15 jsou otevřeny a výstupní signál předzesilovače je zaslán na regenerační Latch, posun napětí způsobené napěťovou nesymetrií je na předzesilovači. Pokud komparátor pracuje v reset režimu, regenerativní Latch je izolován tranzistory M15 a M14, proto hlavní napěťová nesymetrie působí na regenerativní Latch.

Výměnná technika

Výměna (chopping) je obvykle používána u operačních zesilovačů a různých filtrů na snížení vlivů napěťové nesymetrie a šumu. Podstata této techniky je v tom, že náhodně se vymění vstupní (tedy i výstupní) terminály. Prohozením terminálu způsobí, že komparátor má dvě napěťové nesymetrie, které jsou vybrány nezávisle na vstupním signálu. Provedení výměnné techniky je znázorněno na obr. 20.



Obr. 20 Provedení výměny (Chopping)

Kde U_{in} je okamžitá vstupní hodnota, r je okamžitá hodnota ± 1 náhodného pořadí, která modeluje napěťovou nesymetrii spojením spínačů $S1$ a $S2$, U_{ref} je referenční napětí komparátoru, U_{off} napěťová nesymetrie komparátoru a y značí výstup komparátoru.

Posloupnost výstupu y komparátoru je dána vztahem:

$$y = \begin{cases} 1 & U_{in} - U_{ref} - rU_{off} > 0 \\ 0 & \text{jinak} \end{cases} \quad (10)$$

Výsledná hodnota na vstupu komparátoru U_x je pak rovna viz rovnice 9.

$$\begin{aligned} E[U_x] &= E[U_{in} - U_{ref} - rU_{off}] = E[U_{in} - U_{ref}] - E[rU_{off}] \\ &= E[U_{in} - U_{ref}] - E[r]E[U_{off}] = E[U_{in} - U_{ref}] \end{aligned} \quad (11)$$

Kde

$$E[r] = 0. \quad (12)$$

Je vidět že výměna (chopping) převádí na vstupech komparátoru napěťovou nesymetrii na náhodnou napěťovou nesymetrii s předpokládanou hodnotou 0, stejně jako v ideálním případě. Nicméně výkon tvořený příspěvkem napětí zůstává nezměněn.

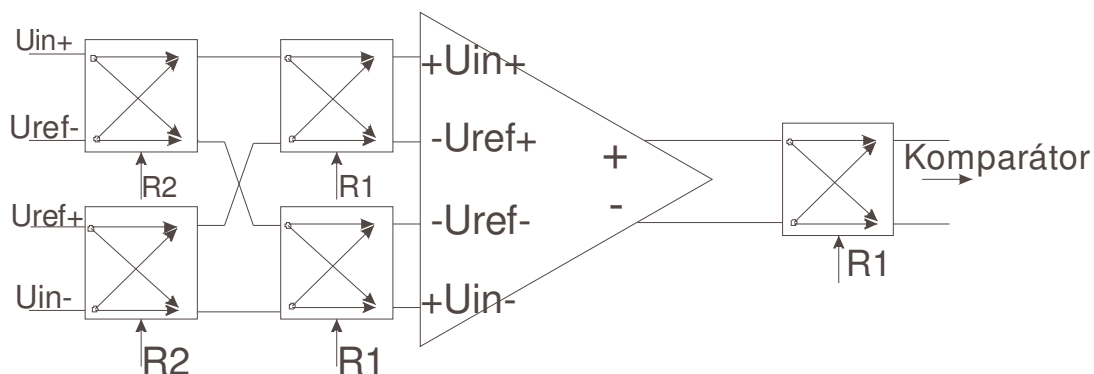
Hodnota U_x pomocí které měříme jen výkon daný hodnotou napěťovou nesymetrií je dána rovnicí 19.

$$\begin{aligned} E[U_x^2] &= E[(U_{in} - U_{ref} - rU_{off})^2] = E[(U_{in} - U_{ref})^2] \\ &+ E[r^2 U_{off}^2] - 2E[r(U_{in} - U_{ref})U_{off}] \\ &= E[(U_{in} - U_{ref})^2] + E[r^2]E[U_{off}^2] - 2E[r]E[(U_{in} - U_{ref})U_{off}] \\ &= E[(U_{in} - U_{ref})^2] + E[U_{off}^2] \end{aligned} \quad (13)$$

Kde

$$E[r^2] = \frac{1}{2} + \frac{1}{2} = 1. \quad (20)$$

Výměnná technika pro tento předzesilovač je složitější ve srovnání s předzesilovači o dvou stupech. Předzesilovač v zapojení má dvojí diferenční pár, proto je struktura tvořena čtyřmi vstupy obr. 21 [9].

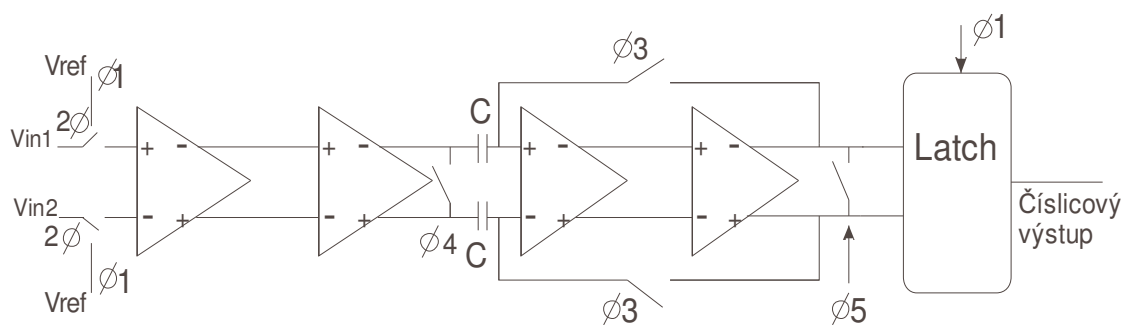


Obr. 21 Výměnná technika (Chopping technique)

Výměna vstupních terminálů musí pracovat na vyšší frekvenci, než pracuje samotný komparátor. Tato technika má za následek snížení pracovního kmitočtu nejen komparátoru, ale celého obvodu.

Snížení offsetového napětí pomocí nulovacího kondenzátoru

V článku [12], kde je popsán komparátor pro CMOS dvou-krokový flash A/D převodník je napěťová nesymetrie minimalizována pomocí kondenzátorů, které se nabíjejí na hodnotu napěťové nesymetrie. Kondenzátory jsou zapojeny mezi výstup prvního a vstup druhého zesilovacího stupně viz obr. 22.



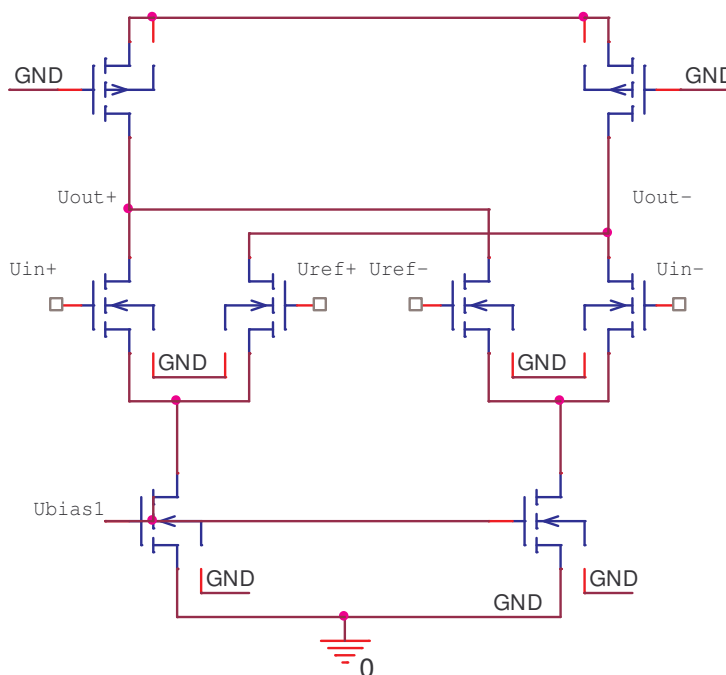
Obr. 22 Blokové schéma komparátoru

Jak je vidět z obrázku, každý zesilovač se skládá ze dvou kaskádně zapojených zesilovačů s nízkým zesílením, s cílem dosáhnout vyšší rychlosti. Protože druhý zesilovací stupeň má jednotnou zpětnou vazbu, je nutné zajistit, během průběhu nabíjení kondenzátoru napětím napěťové nesymetrie, stabilitu obvodu. Pro snížení napěťové nesymetrie se používá jen jeden pár kondenzátorů a to z důvodu minimalizování plochy celého obvodu.

4.2.5 Vysokorychlostní komparátor s nízkou spotřebou pro A/D převodník

V [10] je popsán CMOS komparátor jako součást ultra rychlé konfigurovatelné flash, analogově digitálního převodníku. Komparátor se v návrhu skládá ze čtyř fází, zahrnující vstupní předzesilovač a tři po sobě jdoucí Latch fáze.

Vstupní předzesilovač je navržen, jako nízko napěťový diferenční zesilovač s nízkým zesílením viz obr. 23.



Obr. 23 Předzesilovač (1. stupeň komparátoru)

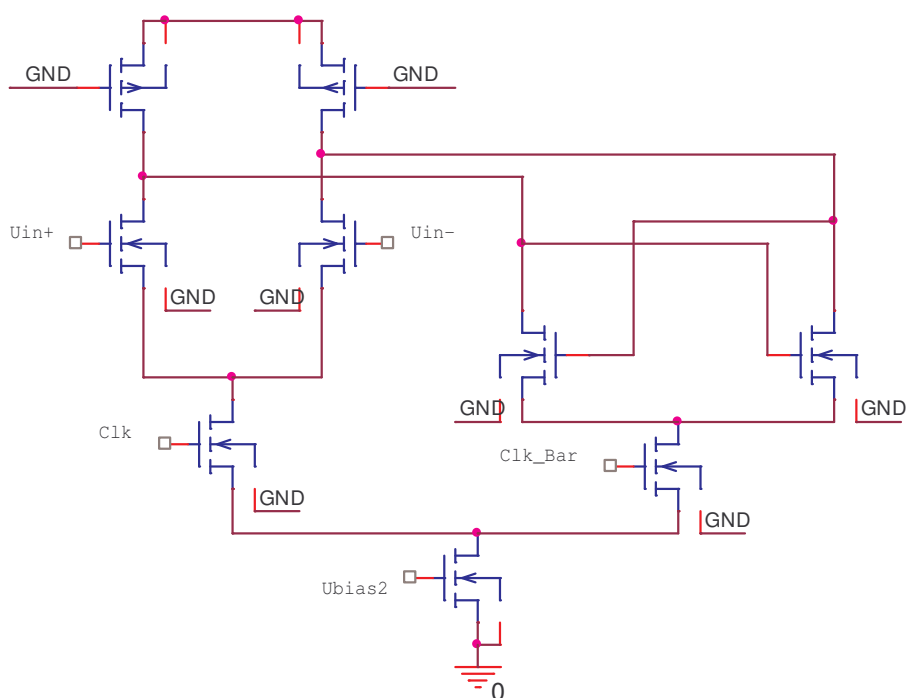
Použití diferenčního předzesilovače zajišťuje dostatečnou ochranu před šumem zpětné vazby. Předzesilovač byl navržen tak, aby splňoval požadavky na rychlost a měl dostatečně široké frekvenční pásmo. Vstupní tranzistory jsou navrženy s co nejmenší délkou kanálů, aby bylo dosaženo požadované rychlosti, šířky kanálů vstupních tranzistorů jsou velké, pro velké zesílení a vyhovující šířku pásma. Velikosti kanálů vstupních tranzistorů mají také vliv na negativní napěťovou nesymetrii předzesilovače, viz rovnice (9)[10].

$$U_{OS} = \left[\frac{\Delta L_{N-i}}{L_{N-i}} + \dots + \frac{\Delta L_i}{L_i} + \frac{\Delta W_{N-i}}{W_i} + \dots + \frac{\Delta W_i}{W_i} \right] + U_T. \quad (15)$$

Kde U_{OS} je vstupní napěťová nesymetrie, U_T prahové napětí diferenčního napětí, W šířka kanálu tranzistoru, L délka kanálu tranzistoru.

Jako zátěž předzesilovače byly vybrány MOSFET tranzistory. Tento typ zátěže dobře splňuje požadované vlastnosti zesilovače což je vstupní šířka pásma, výstupní rozkmit. Zátěž v triodovém režimu byla vybrána proto, že změny ve společném režimu nejsou dost velké ovlivnit výstup zesilovače a je to možné tolerovat.

Následující tři fáze zapojení komparátoru se skládají ze dvou jednoduchých předzesilovačů a Latch komparátorů viz obr. 24 a z jednoho regenerativního Latch. Latch komparátor byl zde použit z důvodu jeho rychlosti a výkonu.

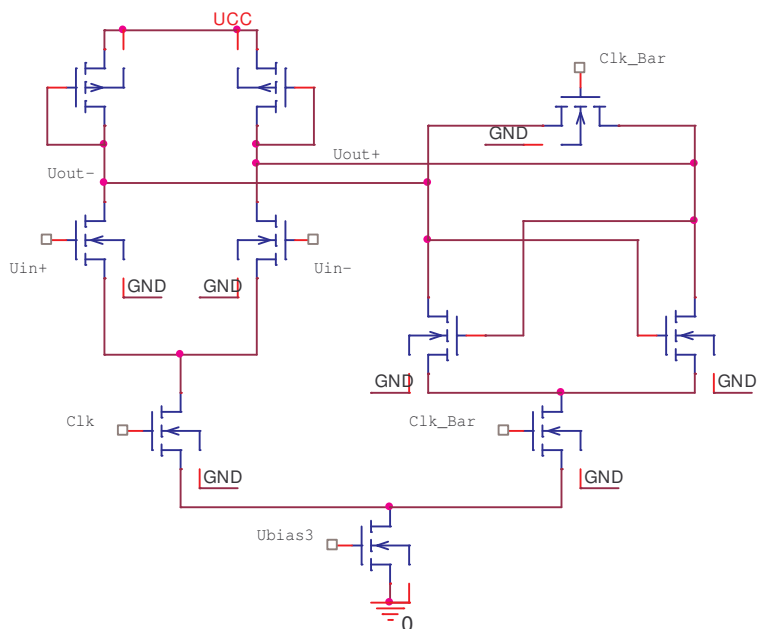


Obr. 24 Předzesilovač s Latch komparátorem (2. Část komparátoru)

Komparátor pracuje s hodinovým signálem CLK, který omezuje (stopuje) klidový proud, což má vliv na celkovou funkci zapojení. Pokud hodinový signál nabývá vysoké úrovně, vstupní diferenciální zesilovač sepne a sleduje, Latch komparátor porovnává signály na jeho vstupu. Přejde-li hodinový signál na nízkou úroveň, zesilovač mírně zesílí vstupní signál, který spustí kladnou zpětnou vazbu Latch komparátoru. Napěťová nesymetrie v této části je závislá jak na vstupu zesilovače, tak na aretační fázi.

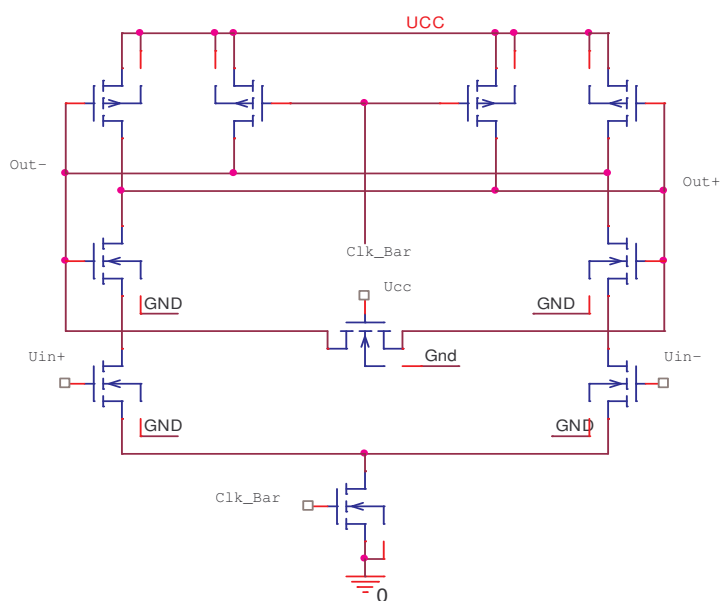
V komparátoru na obr. 25 je použito triodové zatížení z PMOS tranzistorů a reset přepínače ovládaný hodinovým signálem, v aretační fázi se jím potlačí předchozí nastavené stavy, tím se zvýší rychlost komparátoru. Velikostí klidového proudu a triodového zatížení zjistíme výkon rozkmitu, pokud snížíme rozkmit, snížíme tím čas nabíjení a vybíjení. Výstupní rozsah úrovní je snížen na polovinu, tím je zkrácen čas nastavení výstupu.

Celkový komparátor v tomto zapojení používá dvou fází, složených ze zesilovačů a dvou Latch, které mají za úkol dosáhnou patřičného zesílení. Druhá část Latch se liší od první v tom, že jako zatížení je použit tranzistor v diodovém a ne v triodovém zapojení.



Obr. 25 Předzesilovač s Latch komparátorem (3. Část komparátoru)

V důsledku toho, se zlepší rozsah napětí na výstupu tak, aby konečný stupeň komparátoru, který je tvořen regeneračním Latch, poskytoval přesné výstupní napětí[10]. Závěrečný stupeň tvoří, regenerativní Latch obr. 26.



Obr. 26 Regenerativní Latch (4. Část komparátoru)

Regenerativní Latch komparátor není vhodný pro rychlost, nicméně slouží ke generování logické úrovně. Protože v zapojení předchází regenerativnímu Latch patřičné stupně, které poskytují dostatečný rozkmit (swing), je regenerativní Latch stabilní. Práci koncového stupně zapíná hodinový signál Clk_Bar, který vysokou úrovní spíná tranzistor, vstupní signály jsou přivedeny na tranzistory N1 a N2. Pokud je hodinový signál nastaven na nízkou úroveň, výstup je stále na vysoké úrovni. Mechanismus zpětné vazby Latch pomáhá, aby výstupní logické úrovně napájecí napětí a zem, za pomoci různých dob nabíjení kapacit výstupních tranzistorů. Vzhledem k velmi vysoké provozní rychlosti latch, má výstup sníženou rychlost přeběhu (slew rate) ve srovnání s předešlými stupni.

Komparátor byl simulován v [10] a naměřené hodnoty jsou shrnuty v tabulce 1.

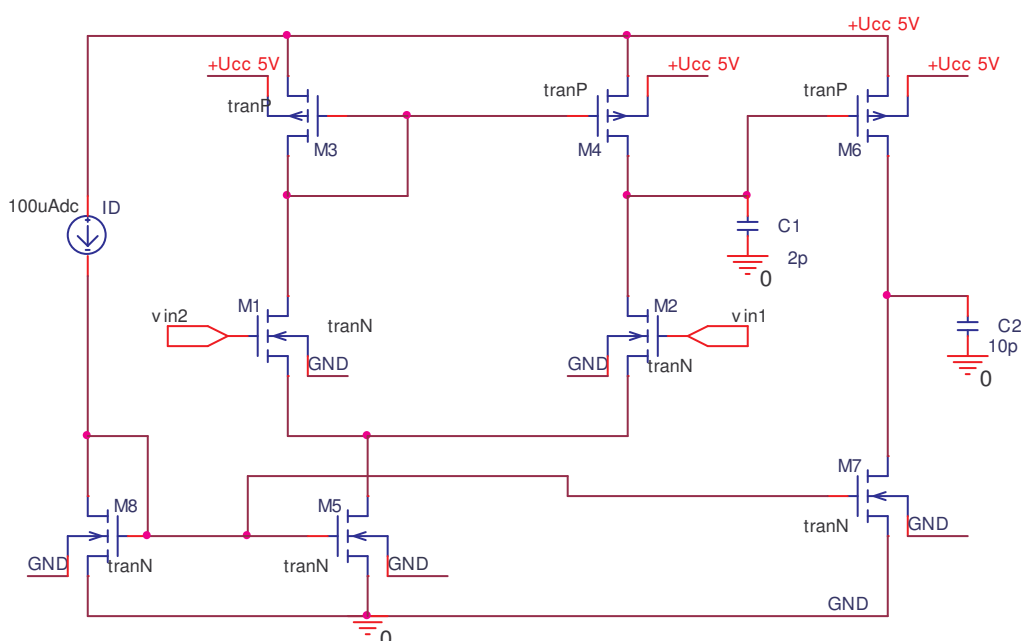
Tab. 1 Nasimulované hodnoty

Vstupní frekvence	1020 MHz	528 MHz
Maximální vzorkovací frek.	2 GS/s	2 GS/S
Výstupní napěťová nesymetrie	37.5 mV	32.7 mV
Vstupní rozsah	1 V špička - špička	
Napěťová reference	1 V	
Rozlišení	63 mV	62.4 mV
Celkový příkon	2.7 mW	1.15 mW
Technologie	TSCM 0.18 μ m CMOS	

5 Návrh komparátorů CMOS

5.1 Dvoustupňový komparátor

Pro tento návrh byl vybrán dvoustupňový komparátor pro použití v otevřené smyčce. Na následujícím obr. 27 je schéma tohoto komparátoru s hodnotami napájecího napětí, parazitními kapacitami a zvoleným proudem tak, aby rychlost přeběhu byla $10 \text{ V}/\mu\text{s}$. Kapacita C_1 nám simuluje parazitní kapacity tranzistorů M2, M4 a M6 připojených k výstupnímu uzlu prvního stupně.



Obr. 27 Dvoustupňový komparátor s otevřenou smyčkou

Komparátor na obr. 27, byl popsán v kapitole 3.

Nejdříve je vypočten proud I_7 se zadaného SR a kapacity C_L .

$$I_7 = SR \cdot C_L = 10 \cdot 10^{-6} \cdot 10 \cdot 10^{-12} = 100 \mu\text{A}. \quad (16)$$

Následně se vypočte poměry velikostí kanálů tranzistorů M5, M7 a M8. Protože tyto tranzistory zrcadlí stejný proud, jejich hodnoty velikosti kanálů jsou stejné. Jsou vypočítané ze saturační rovnice 3.

$$\left(\frac{W}{L}\right)_{5,7,8} = \frac{2 \cdot I_D}{K_N \cdot (U_{GS} - U_{TH})^2} = \frac{2 \cdot 100 \cdot 10^{-6}}{96 \cdot 10^{-6} (0,3)^2} = 23,2. \quad (17)$$

Poměr velikostí kanálu tranzistoru M6 je v následující rovnici vypočten již známého proudu I_7 .

$$\left(\frac{W}{L}\right)_6 = \frac{2 \cdot I_D}{K_P \cdot (U_{GS} - U_{TH})^2} = \frac{2 \cdot 100 \cdot 10^{-6}}{32 \cdot 10^{-6} (0,3)^2} = 69,4. \quad (8)$$

Hodnota závorky $(U_{GS} - U_{TH})$ volíme mezi 0,2 – 0,5. Zvolili jsme hodnotu 0,3, aby byl dosažen kompromis mezi rychlostí a zesílením komparátoru.

Velikosti kanálů tranzistorů M1 a M2 budou stejné, to samé platí i pro tranzistory M3 a M4. Proud tekoucí těmito tranzistory je dán následující rovnicí.

$$I_{1,2,3,4} = \frac{I_D}{2} = \frac{100 \cdot 10^{-6}}{2} = 50 \mu A. \quad (9)$$

Výpočet poměru velikostí kanálů tranzistorů M1 a M2. Tyto tranzistory jsou typu NMOS.

$$\left(\frac{W}{L}\right)_{1,2} = \frac{2 \cdot I_{1,2,3,4}}{K_N \cdot (U_{GS} - U_{TH})^2} = \frac{2 \cdot 50 \cdot 10^{-6}}{96 \cdot 10^{-6} (0,3)^2} = 11,6. \quad (20)$$

Poměr velikostí kanálů tranzistorů M3 a M4, které jsou typu PMOS.

$$\left(\frac{W}{L}\right)_{3,4} = \frac{2 \cdot I_{1,2,3,4}}{K_P \cdot (U_{GS} - U_{TH})^2} = \frac{2 \cdot 50 \cdot 10^{-6}}{32 \cdot 10^{-6} (0,3)^2} = 34,7. \quad (10)$$

Vypočítané poměry velikostí kanálů tranzistorů jsou shrnuty v tabulce 2.

Tab. 2 Hodnoty velikostí kanálů tranzistorů

Poměr šířky/délce	hodnota
W/L _{1,2}	23,2/2
W/L _{3,4}	69,4/2
W/L _{5,7,8}	46,4/2
W/L ₆	138,8/2

Byla zvolena větší délka kanálu pro lepší výstupní odporu.

Následující tabulka 3 shrnuje parametry simulovaného komparátoru.

Tab. 3 Parametry komparátoru

Parametr	hodnota
SR nástupná	175 V/ μ s
SR sestupná	10,1 V/ μ s
Zpoždění τ_{PHL}	239 ns
Zpoždění τ_{PLH}	32,5 ns
Au	85,7 dB
GBW	19,9 MHz
Spotřeba	1,49 mW
Systematická napěťová nesymetrie	200 μ V

Zpoždění τ_{PHL} je definováno jako doba mezi 50% náběžné hrany vstupního signálu a 50% sestupné hrany výstupního signálu. Zpoždění τ_{PLH} je definováno jako doba mezi 50% sestupné hrany vstupního signálu a 50% nástupné hrany výstupního signálu. Výstupy simulace jsou uvedeny v příloze.

5.2 Latch komparátoru s předzesilovačem

Zapojení komparátoru je složeno z několika bloků, které již byly použity v příkladech zapojení minulých kapitol. Předzesilovač je zapojen z diferenčního páru, který tvoří tranzistory M1 a M2. Velikosti kanálu těchto tranzistorů jsou vypočteny pomocí rovnice 22.

$$\left(\frac{W}{L}\right)_{1,2} = \frac{2 \cdot I_D}{K_N \cdot (U_{GS} - U_{TH})^2} \quad (22)$$

Proud I_D do jednotlivých tranzistorů diferenčního páru je poloviční oproti celkovému proudu I_I . Celkový proud I_I je zvolen tak aby byla splněna hodnota pro rychlost přeběhu (SR). Čím větší proud bude zvolen, tím bude menší doba přeběhu, avšak s velkou hodnotou proudu se zvětšuje spotřeba.

$$I_1 = SR \cdot C_C \quad (23)$$

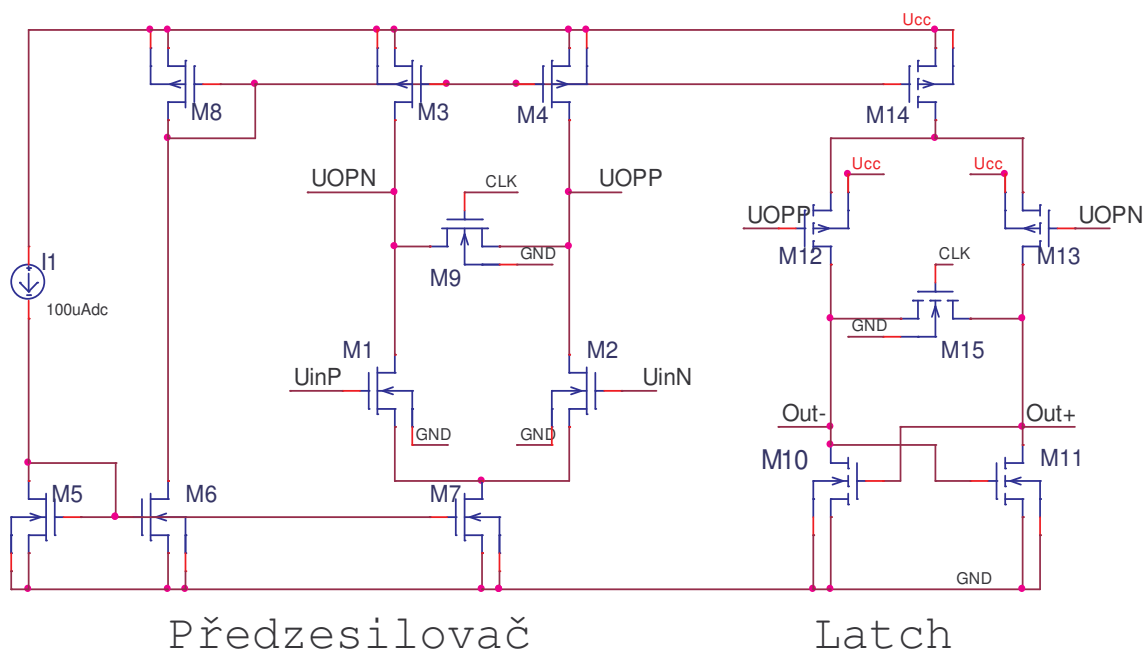
Pracovní proud I_I je do jednotlivých větví zrcadlen pomocí tranzistorů M5, M6 a M7, které tvoří proudové zrcadlo. Tranzistory M5 a M7 zrcadlí proud 100 uA, do větve s diferenčním párem M1 a M2.

$$\left(\frac{W}{L}\right)_{5,7} = \frac{2 \cdot I_I}{K_N \cdot (U_{GS} - U_{TH})^2} \quad (24)$$

Jako aktivní zátěž jsou zapojeny tranzistory M3 a M4, jejich pracovní proud je nastaven pomocí tranzistorů M6 a M8. Tranzistory jsou typu PMOS.

$$\left(\frac{W}{L}\right)_{3,4} = \frac{2 \cdot I_D}{K_P \cdot (U_{GS} - U_{TH})^2} \quad (25)$$

Hodnota $(U_{GS} - U_{TH})$ je volena na hodnotu 0,3 V. Zvolením této hodnoty se také nastavuje minimální a maximální hodnotu výstupního napětí.

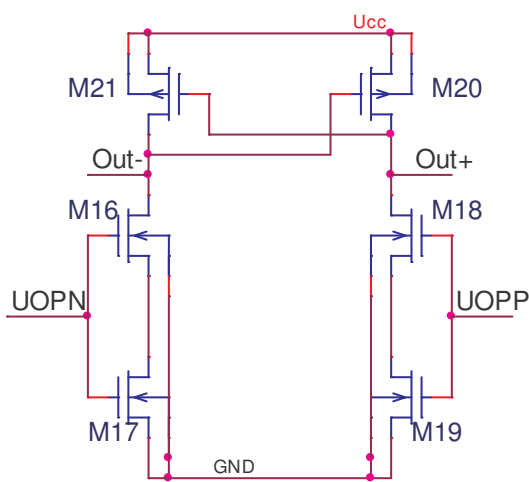


Obr. 28 Předzesilovač a Latch komparátor

Latch komparátor je sestaven tranzistory M10 a M11, které tvoří kladnou zpětnou vazbu, pomocí které je porovnáván vstupní signál. Kladná zpětná vazba nastaví výstup do vysokého nebo nízkého stavu (log. 1 nebo log. 0).

Tranzistory M9 a M15 jsou spínány hodinovým signálem CLK. Při stavu kdy jsou tranzistor M8, M15 sepnuty (hodnota hodinového signálu je v logické úrovni 1, tzn. 5 V), je na výstupech předzesilovače stejná hodnota, totéž platí pro Latch na jeho vstupu je stejná hodnota a proto zpětná vazba nepřeklopí do žádného stavu. Obvod pracuje v resetovacím režimu.

Protože se při každé log úrovni 1 signálu latch resetuje, je ještě v komparátoru umístěn další obvod – RS KO, který drží předchozí stav výstupu latch při resetovacím režimu viz obr. 29.



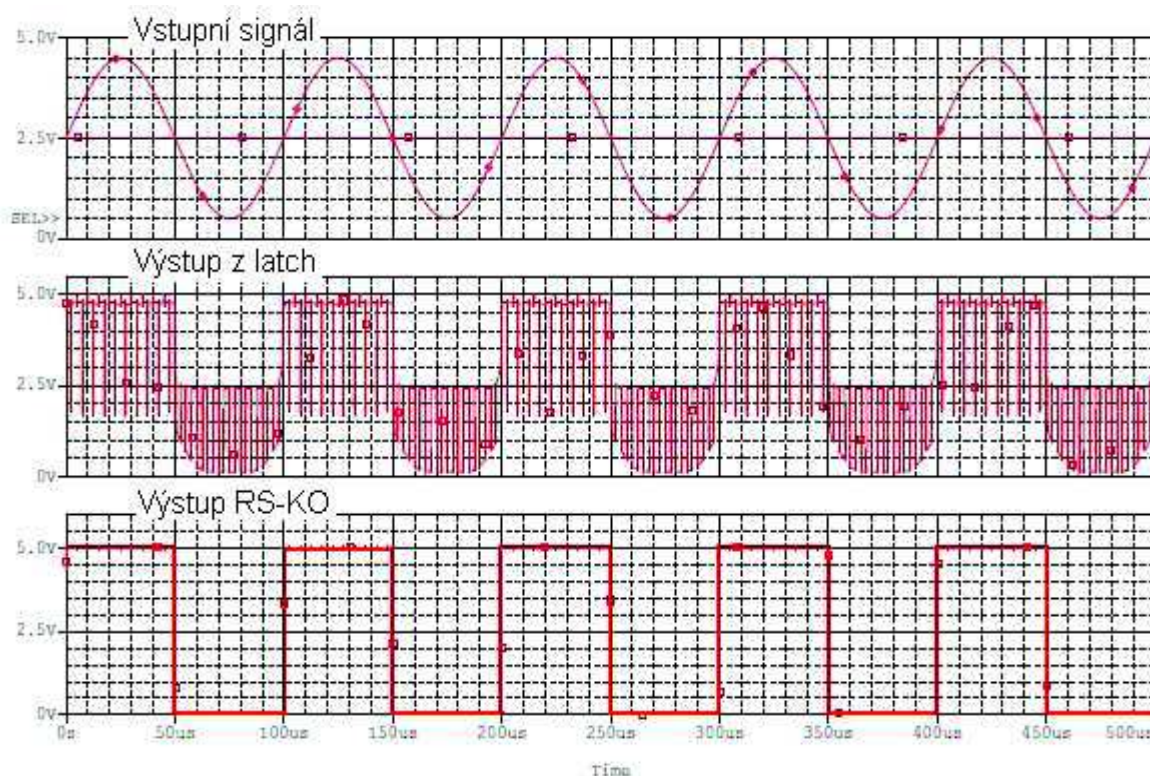
Obr. 29 RS- Klopny obvod

Vypočítané poměry velikostí kanálů tranzistorů jsou shrnuty v tabulce 4.

Tab. 4 Hodnoty velikostí tranzistorů

Poměr šířky/délce	hodnota
$W/L_{1,2}$	11,57/1
$W/L_{5,7}$	23,2/1
$W/L_{3,4,8}$	34,7/1
W/L_6	11,6/1
$W/L_{10,11}$	11,7/1
$W/L_{12/13}$	34,6/1
W/L_{14}	69,4/1

Na obr. 30 jsou znázorněny výsledky simulace komparátoru.



Obr. 30 Průběh signálů komparátoru složeného z předzesilovače a latche

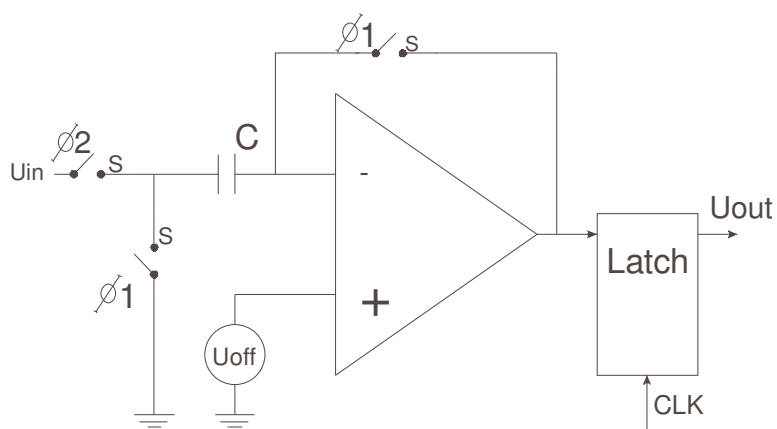
Tabulka 5 shrnuje výsledné parametry navrženého komparátoru.

Tab. 5 Parametry komparátoru

Parametr	hodnota
rychlost přeběhu	180 V/u
zpoždění	58 ns
spotřeba	1.79 mW
systematická napěťová nesymetrie	11 mV

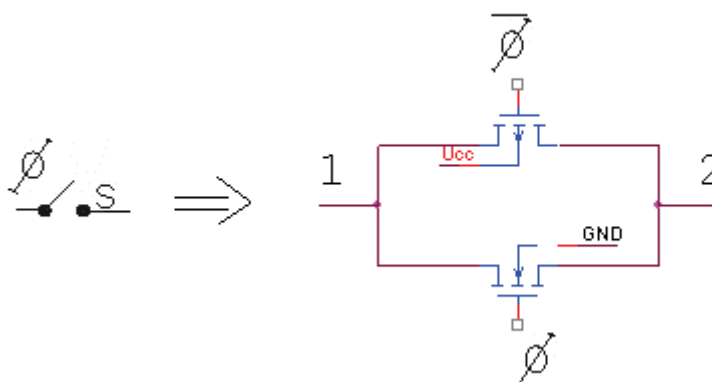
5.3 Automatické rušení napěťové nesymetrie

Na obr. 31 je znázorněna technika samovynulování napěťové nesymetrie komparátoru pomocí kondenzátoru.



Obr. 31 Technika samovynulování napěťové nesymetrie

Spínače jsou kvůli nelineárnímu zkreslení řešeny pomocí komplementárního zapojení, které zkreslení potlačuje, viz obr. 32 [14].



Obr. 32 Komplementární zapojení spínače

Náhodná napěťová nesymetrie je simulována neshodnou velikostí kanálů tranzistorů v diferenčním páru a v zátěži diferenčního páru. Pro simulování náhodné nesymetrie jsou v tranzistorech tvořící diferenční pár nastaveny odlišné hodnoty velikostí kanálů.

Tab. 6 Změna velikostí kanálů tranzistoru v dif. páru

šířka/délka	velikost kanálů	změna velikosti
W/L_1	12/1	11/1
W/L_2	12/1	13/1

Hodnoty náhodné napěťové nesymetrie se změněnými velikostmi kanálů a hodnoty náhodné napěťové nesymetrie po aplikování techniky samovynulování jsou uvedeny v tabulce 7.

Tab. 7 Hodnoty náhodné napěťové nesymetrie

náhodná napěťová nesymetrie po změně velikostí kanálů tranzistorů	37 mV
náhodná napěťová nesymetrie po aplikování metody samovynulování	14 mV

Jak je patrné z naměřených hodnot náhodná napěťová nesymetrie po aplikování metody samovynulování klesla o 23 mV. Systematická napěťová nesymetrie tohoto zapojení je 11 mV, tudíž náhodná napěťová nesymetrie je snížena téměř na minimum.

6 Závěr

V této práci jsem se seznámil se základními obvody, z kterých je sestaven komparátor v technologii CMOS. Návrh CMOS komparátoru je velice svázán se zesilovači. Zesilovač s vysokým zesílením je vhodné zapojení pro realizaci komparátoru. Hlavní použití komparátoru je ve vysokorychlostních aplikacích, například v analogově digitálních převodnících. Naším úkolem je zlepšovat parametry komparátoru. Zaměříme se hlavně na zvýšení rychlosti. Snažíme se o zvýšení rychlosti přeběhu komparátoru a zmenšování časového zpoždění výstupu. Pokud se na komparátor přivádí nízké vstupní napětí, je třeba i toto napětí patřičně zesílit, aby neovlivňovalo rychlost komparátoru. Zesílení nízkého vstupního napětí je možné, pomocí vestavěných předzesilovačů, které nám nízkou hodnotu vstupního napětí patřičně zvýší, tím nám zkrátí dobu výstupu. Předzesilovače musí být navrženy tak, aby co nejméně zpožďovali vstupní signál na výstup komparátoru.

Je důležité si uvědomit, že v obvodu vznikají parazitní kapacity, které nám zpomalují rychlost komparátoru. Aby nám parazitní kapacity tolik neovlivňovali rychlost komparátoru, bylo by možné, použít vysoké proudy. Vysoké hodnoty proudů by umožňovaly rychlé nabíjení a vybíjení parazitních kapacit a tím jejich částečnou eliminaci. Na druhou stranu vysoké proudy tekoucí obvodem zvyšují spotřebu komparátoru.

V praktické části byly nasimulovány dvoustupňový komparátor a Latch komparátor. U těchto zapojení byla vyzkoušena technika samovynulování napěťové nesymetrie. Bylo zjištěno, že hodnota napěťové nesymetrie na vstupu komparátoru po aplikování této metody, se sníží o podstatnou hodnotu. Tato metoda snížení napěťové nesymetrie by mohla být vhodná pro použití v aplikacích kde je použito komparátorů s vysokým rozlišením, například v přesných A/D převodnících.

7 Literatura

- [1] ALLEN, P., E.; HOLBERG, D., R. *CMOS analog circuit design*, second edition. Oxford University Press, New York 2002, ISBN 0-19-511644-5.
- [2] DOLEČEK, Jaroslav. *Moderní učebnice elektroniky 5. díl, Operační zesilovače a komparátor*, Praha : Nakladatelství BEN-technická literatura, 2007
- [3] BEČVÁŘ, Daniel; STEHLÍK, Jiří; FUJČÍK, Lukáš. *Multimediální učebnice, Návrh analogových integrovaných obvodů* [online]. Brno : VUT FEKT Ústav mikroelektroniky, [cit. 2009-11-27]. Dostupný z WWW: < <http://www.umel.feec.vutbr.cz/BNAO/index.html> >.
- [4] BIOLEK, Dalibor; HÁJEK, Karel; KRTIČKA Antonín. *Analogové elektronické obvody*. Brno : VUT, 2007. 264 s. Fakulta elektrotechniky a komunikačních technologií.
- [5] SHAR, Ahmad. *Design of a high-speed CMOS comparator*. Linköping : Master Thesis in Electronics System at Linköping Institute of Technology, 2007. 45 s.
- [6] DUTTA, Ramen. *CMOS Voltage Comparator* [online]. Kharagpur : Enelectronics & Electronic Communication Engg., 2008 [cit. 2009-11-27]. Dostupný na WWW: < <http://conf05.iitkgp.ac.in/avlsi/logf/summercourse/2008/comparator.pdf> >.
- [7] HAITAO, Liu; QIAO Meng, et al. Effect of a reset-MOSFET in a high-speed comparator. *Journal of Semiconductors* [online]. Červen 2008 [cit. 2008-11-05]. Dostupný na WWW: < http://www.iop.org/EJ/article/1674-4926/30/7/075002/jos_30_7_075002.pdf?request-id=f859eb06-841f-4e16-94c4-b79d148a433d >.
- [8] YONGHENG, Guo; WEI, Cai; TIEJUN, Lu; ZONGMIN Wang. *A Novel 1GSPS Low offset Comparator for high speed ADC*. IEEE Journal of solid State Circuits, Volume 45, Nov. 2009.
- [9] STEFANO, N.; SONKUSALE Sameer R. *An average low offset comparator for 1.25 gsample/s ADC in 0.18um CMOS*. IEEE Journal of Solid State Circuits, Volume 15, pp. 169-176, April 2004.
- [10] ANAND, Mohan; ZAYEGH, Aladin; STOJCEVSKI, Alex; VELJANOVSKY, Ronny. *Comparator for high speed low power ultra wideband A/D converter* [online]. International on Communication, Computer & Power., 2007. Dostupný na WWW. < <http://icccp.net/proceedings/2007/Papers/1.pdf> >.

- [11] PANCHORE, Meena; GAMAD, R. S. *Low Power and High Speed CMOS Comparator Desing Using 0.18um Technology*. International Jurnal of Electronic Engineering Research Volume 2 Number 1 pp. 71-77 (2010) ISSN 0975 – 6450.
- [12] P. ANDERSON, Erik; S. DANIELS, Jonathan. *A 60-MHz 150-uV Fully-Differential Comparator* [online]. Journal of stellar EE315 Circuost. Dostupný na WWW. <<http://www.stanford.edu/~jsdaniel/comparator.pdf>>.
- [13] BEČVÁŘ, Daniel; STEHLÍK, Jiří. *Návrh analogových integrovaných obvodů*. BRNO : VUT, 2006. 151 s. Fakulta elektrotechniky a komunikačních technologií.
- [14] KLEDROWETZ, V. *Vliv rozlišení MDACna bloky řetězového převodníku AD*. Brno: Vysoké učení technické v Brně, Fakulta elektrotechniky a komunikačních technologií, 2009. 82s. Vedoucí diplomové práce Ing. Jiří Háze, Ph.D.

8 Seznam použitých symbolů, příloh

Seznam symbolů:

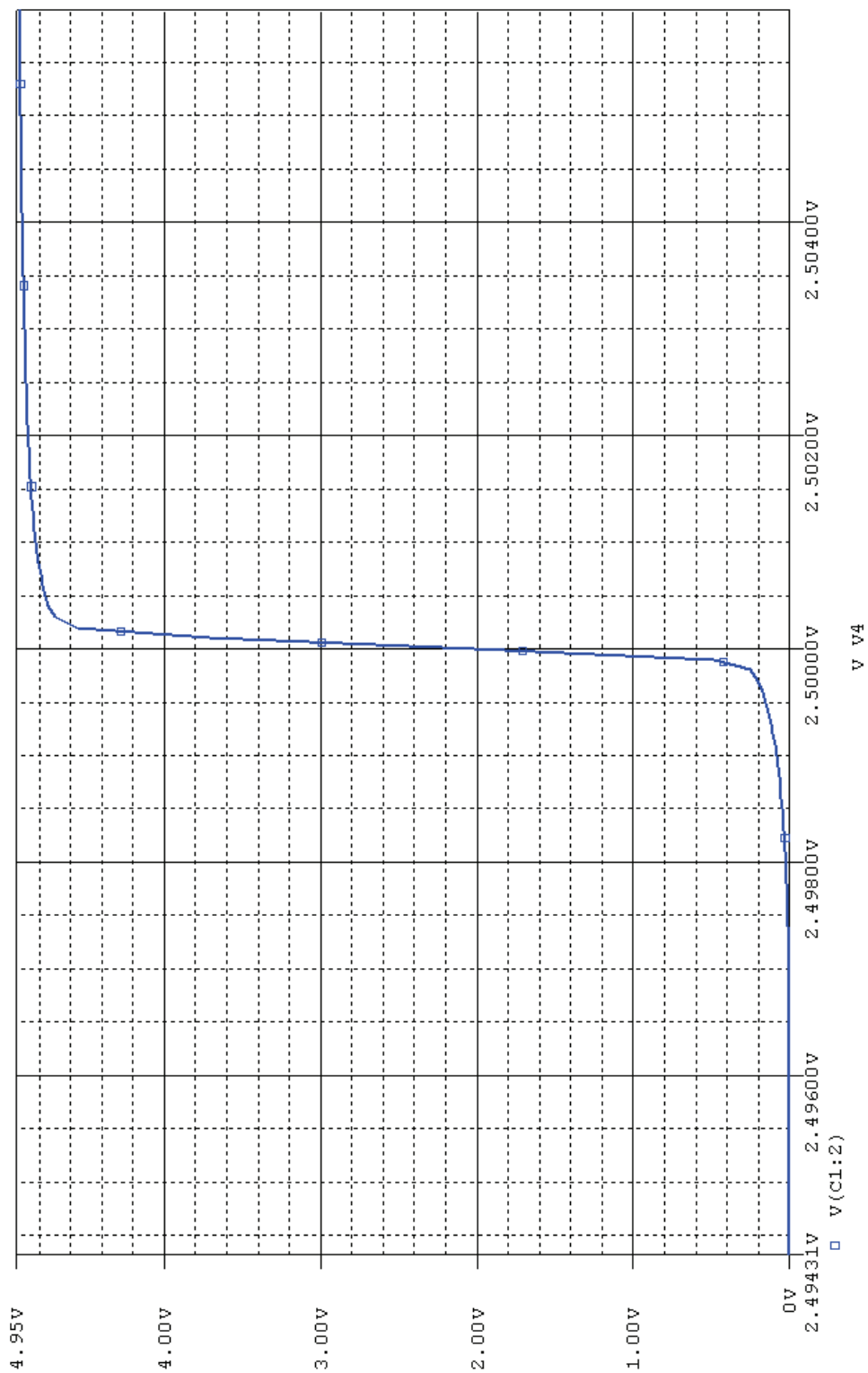
A_V	Míra zesílení
BW	Šířka pásma
CMOS	doplňující se kov-oxid-polovodič
C_p	Parazitní kapacita
E	Emitor
gm	Transkonduktance
I_D	Proud tekoucí drainem tranzistoru
I_{in}	Vstupní proud
I_{out}	Výstupní proud
K	Kolektor
K_N, K_P	Transkonduktanční parametr
L	Parametr délky kanálu tranzistoru
OZ	Operační zesilovač
r_{out}	Dynamický výstupní odpor
SR	Rychlost přeběhu
t_p	Doba zpoždění výstupu
TTL	Tranzistorově tranzistorová logika
U_{DS}	Napětí drain-source
$U_{DS(SAT)}$	Saturační napětí drain-source
U_g	Vstupní napětí do hradla tranzistoru
u_i	Rozdílové vstupní napětí
U_{IL}	Dolní vstupní hodnota napětí
U_{IH}	Horní vstupní hodnota napětí
U_{OH}	Horní výstupní hodnota napětí
U_{OL}	Dolní výstupní hodnota napětí
U_{OS}	Offsetové napětí
U_{TRP}^+	Horní bod překlopení
U_{TRP}^-	Dolní bod překlopení
W	Parametr šířky kanálu tranzistoru
λ	Parametr modulace délky kanálu

Seznam příloh:

- **Příloha 1:** Převodní charakteristika komparátoru
- **Příloha 2:** Odezva přechodu, měření náběžné a sestupné hrany (rychlost přechodu)
- **Příloha 3:** Kmitočtová charakteristika, měření frekvenčního pásma komparátoru
- **Příloha 4:** Úplné schéma Latch komparátoru
- **Příloha 5:** Hysterezní smyčka Latch komparátoru.

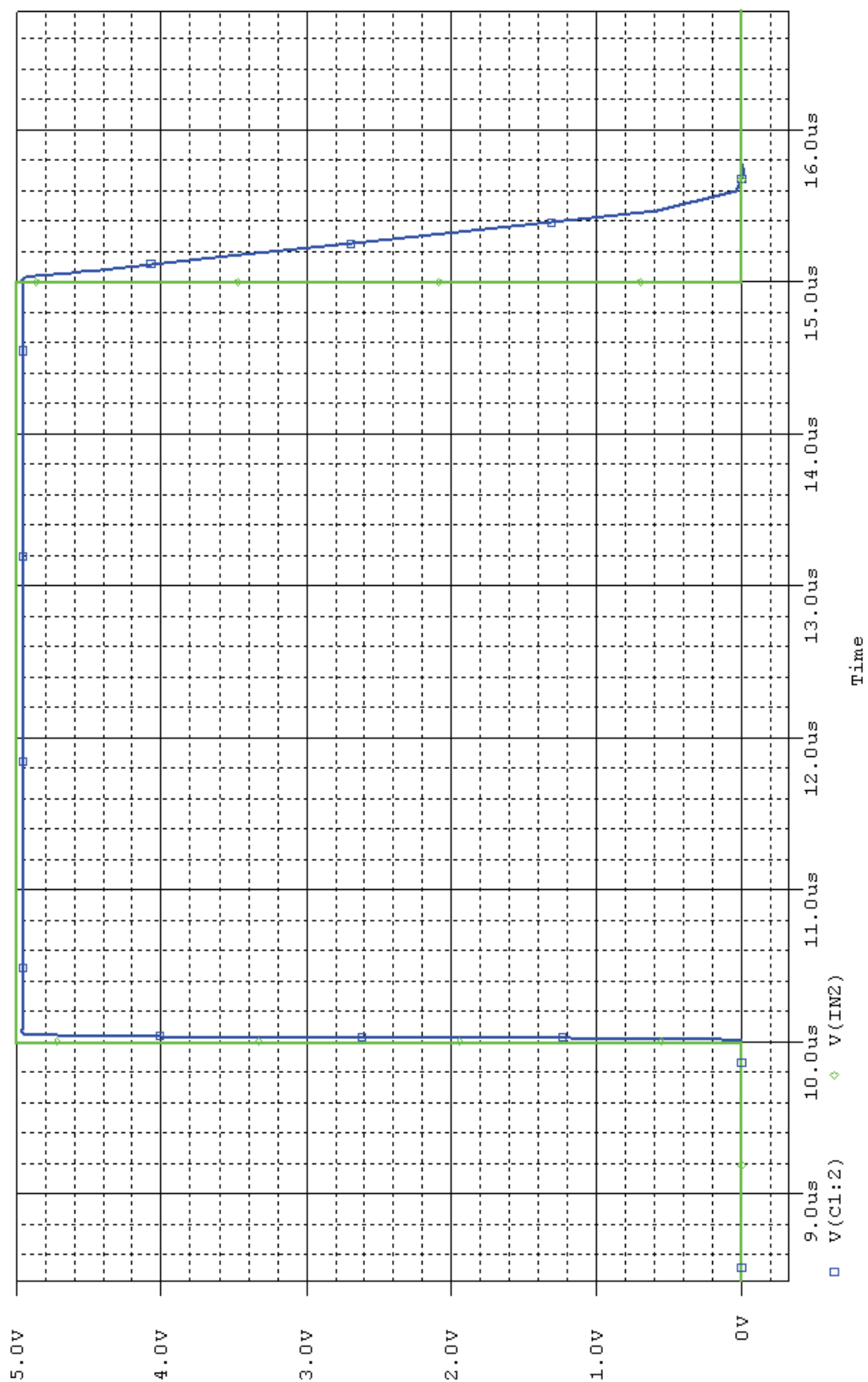
9 Přílohy

Příloha 1 Převodní charakteristika komparátoru.



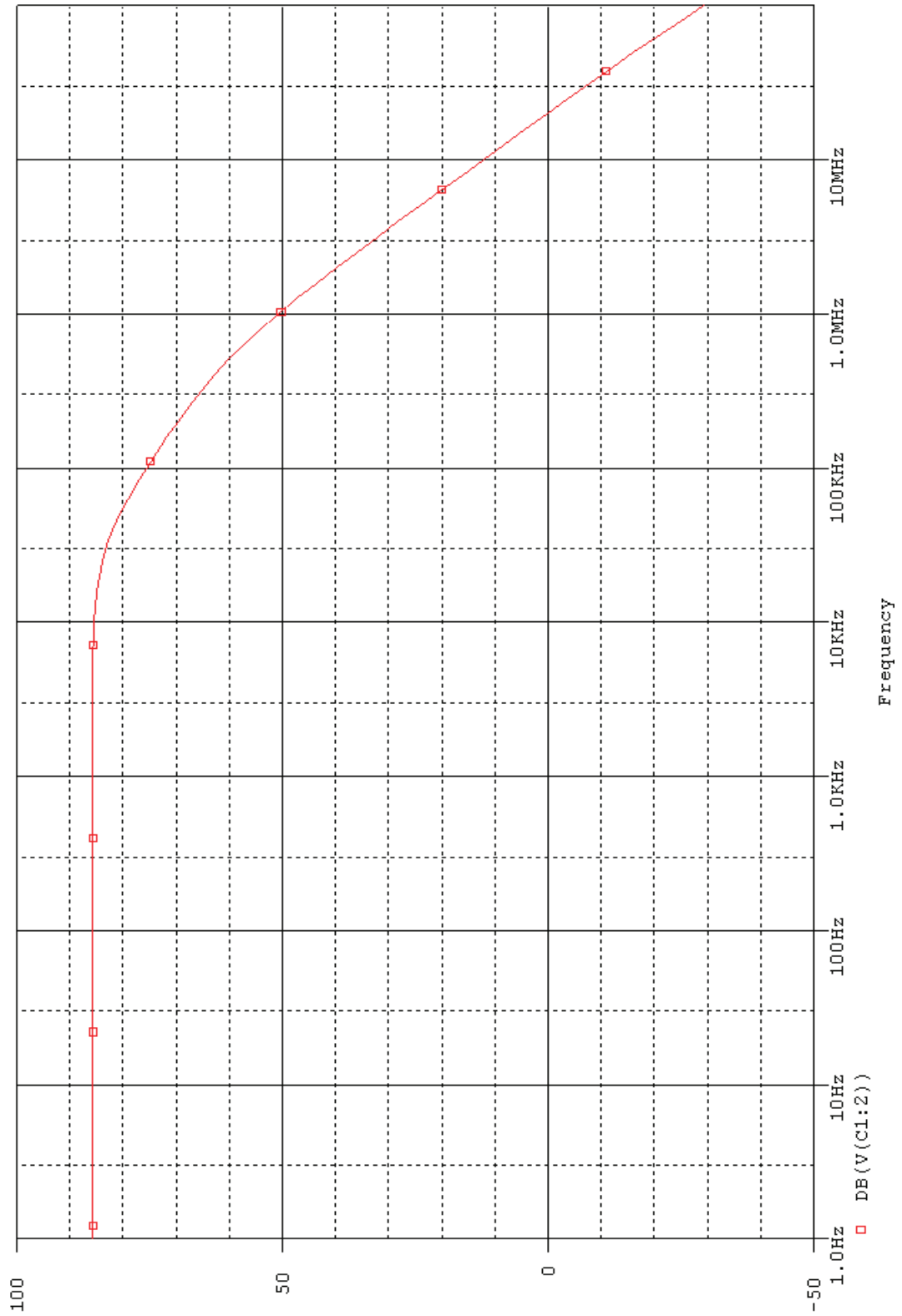
Obr.P. 1: Převodní charakteristika komparátoru

Příloha 2: Měření naběžné a sestupné hrany (rychlost přechodu), doba zpoždění výstupu.



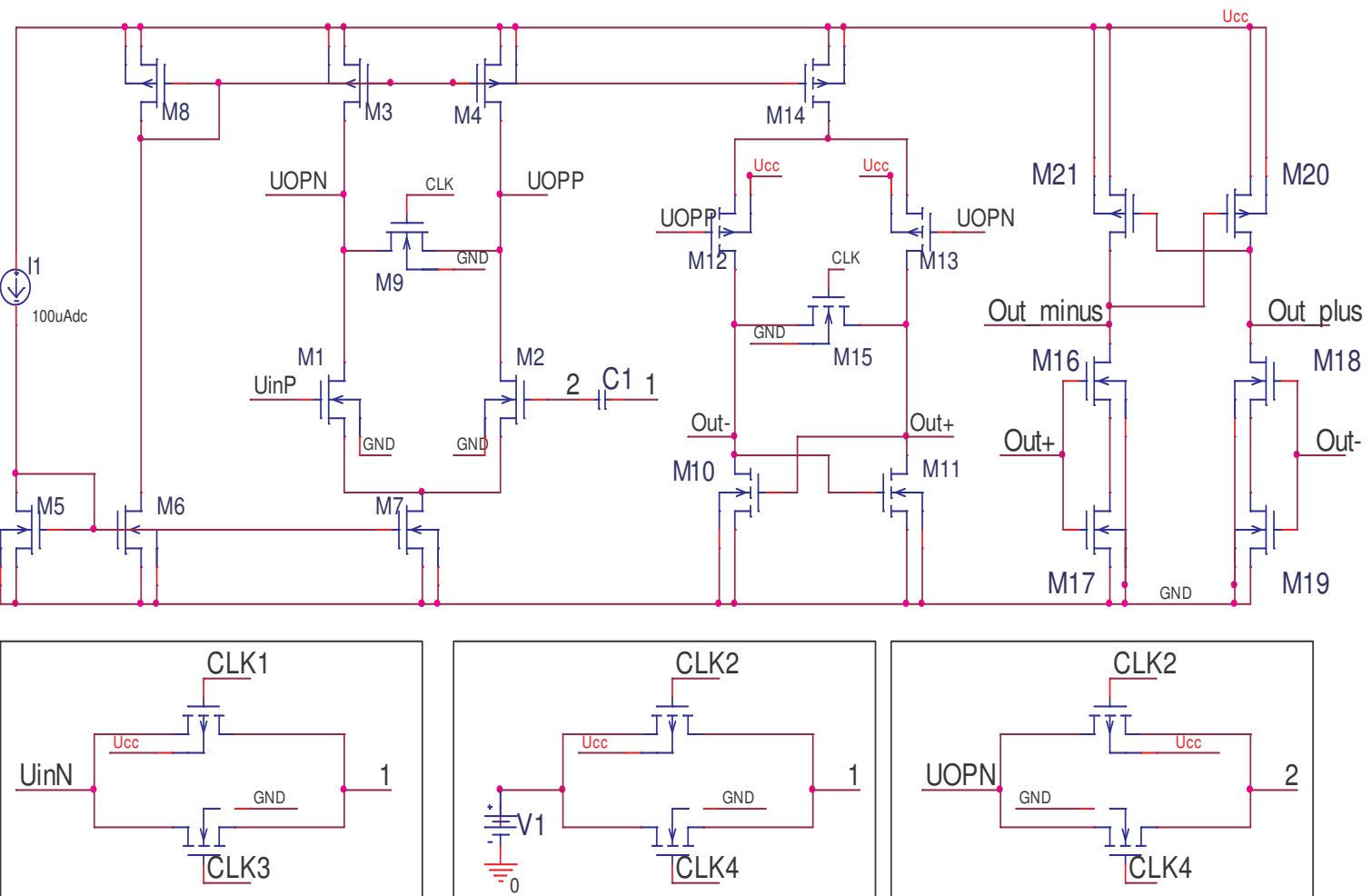
Obr. P. 2: Měření časových parametrů

Příloha 3: Kmitočtová charakteristika, měření frekvenčního pásma komparátoru.



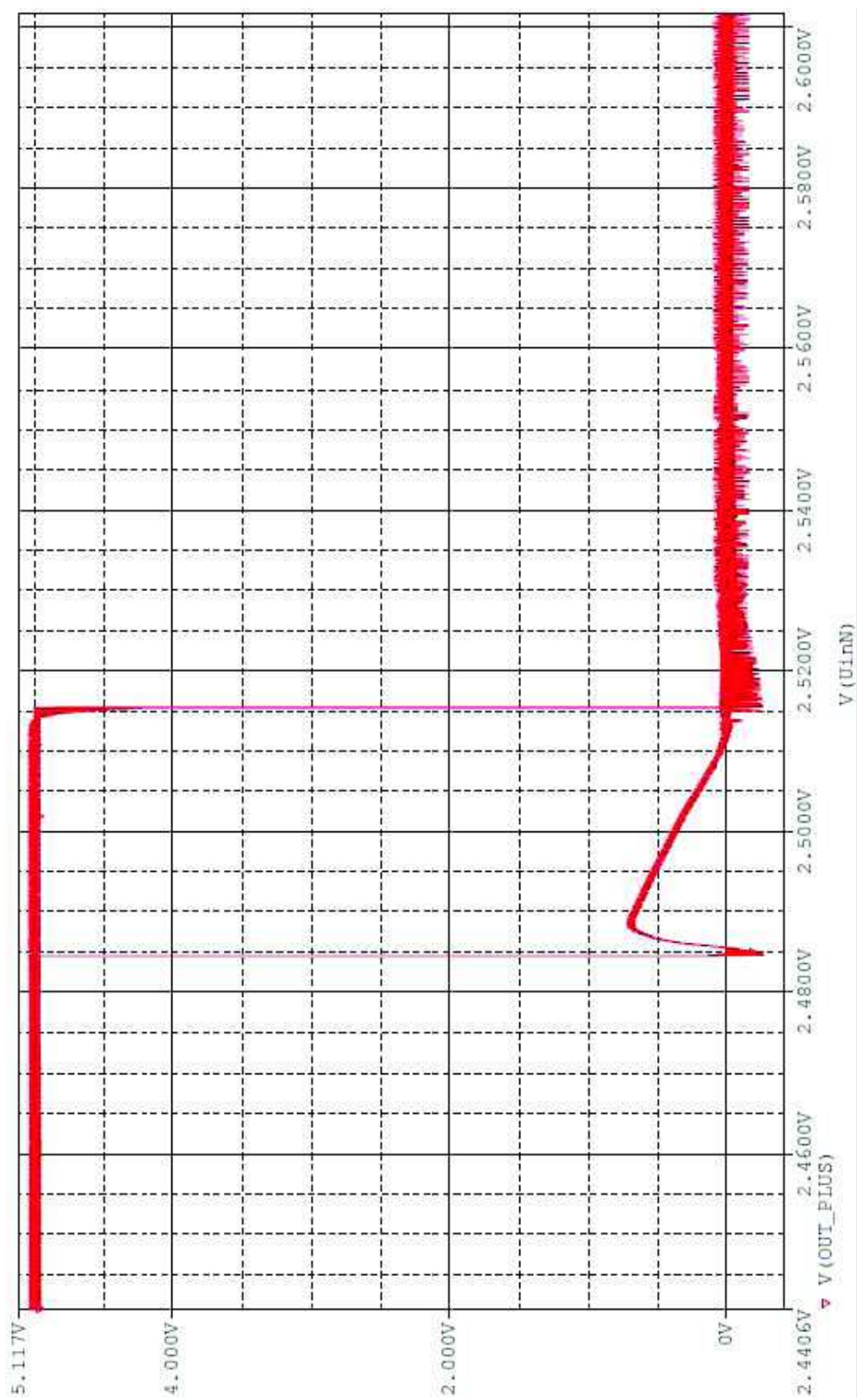
Obr. P. 3: Kmitočtová charakteristika komparátoru

Příloha 4: Úplné schéma Latch komparátoru.



Obr. P. 4 Úplné schéma Latch komparátoru

Příloha 5: Hysterezní smyčka Latch komparátoru.



Obr. P. 5 Hysterezní smyčka Latch komparátoru